

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-243095

(43)Date of publication of application : 08.09.2000

(51)Int.Cl.

G11C 16/02  
G11C 16/04

(21)Application number : 11-346557

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 06.12.1999

(72)Inventor : SHIGA HITOSHI  
TANZAWA TORU  
SAITO MASANOBU

(30)Priority

Priority number : 10370760

Priority date : 25.12.1998

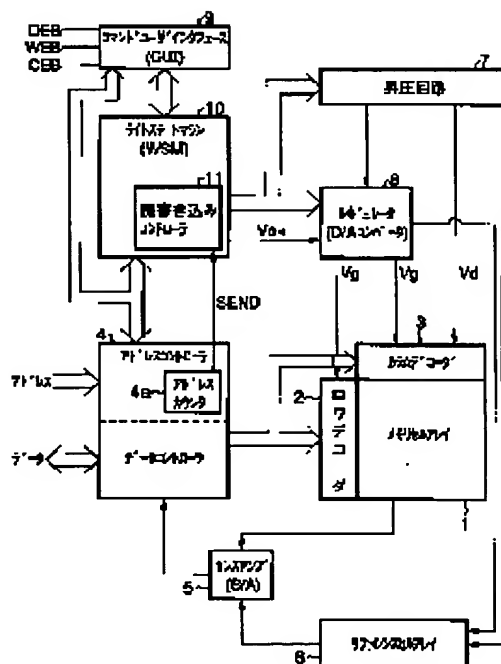
Priority country : JP

## (54) NON-VOLATILE SEMICONDUCTOR MEMORY

(57)Abstract:

**PROBLEM TO BE SOLVED:** To shorten the time required for writing under arbitrary temperature conditions when plural memory cells are successively selected and write-in of data is performed.

**SOLUTION:** When plural memory cells in a memory cell array 1 are successively selected and write-in of data is performed in a NOR type flash memory, plural memory cells are divided into a first group and a second group. First, voltage applied to cells and a voltage applying time are set to first write-in conditions by write-in control section 10, memory cells of the first group are successively selected and write-in and verifying are performed respectively. Next, voltage applied to cells and a voltage applying time are set to changed second write-in conditions by write-in control section 10 in accordance with the time required for writing a whole memory cell of the first group, memory cells of the second group are successively selected and write-in is performed with this conditions.



## LEGAL STATUS

[Date of request for examination]

11.04.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号  
特開2000-243095  
(P2000-243095A)

(43)公開日 平成12年9月8日(2000.9.8)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

### テーマート(参考)

G 1 1 C 16/02  
16/04

G 1 1 C 17/00

6 1 1 E

6 1 1 G

**6 2 2 A**

審査請求 未請求 請求項の数16 OL (全 23 頁)

(21)出願番号 特願平11-346557

(22) 出願日 平成11年12月 6 日(1999. 12. 6)

(31)優先権主張番号 特願平10-370760

(32) 優先日 平成10年12月25日(1998. 12. 25)

(33) 優先権主張国 日本 (J P)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 志賀 仁

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72)発明者 丹沢 徹

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝マイクロエレクトロニクスセン  
ター内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

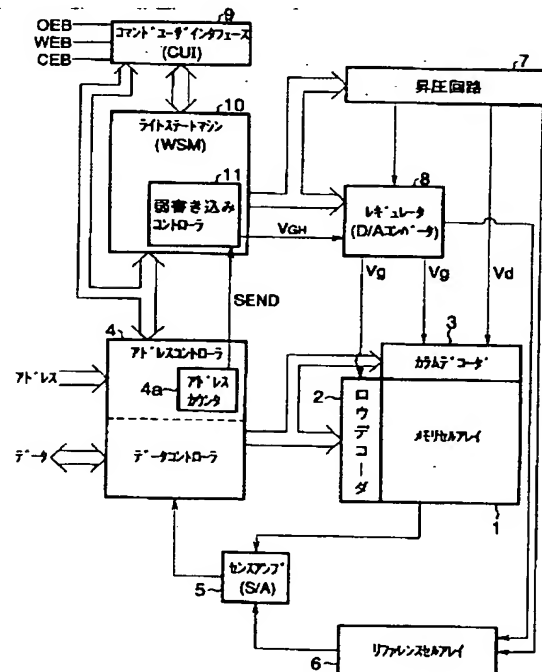
**最終頁に続く**

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【課題】複数のメモリセルを順次選択してデータ書き込みを行う際、任意の温度条件で書き込みに必要な時間を短縮できる不揮発性半導体記憶装置を提供する。

【解決手段】NOR型フラッシュメモリにおいて、メモリセルアレイ1内の複数のメモリセルを順次選択してデータの書き込みを行う際、複数のメモリセルを第1のグループと第2のグループに分ける。まず、書込制御部10によりセルへの印加電圧、電圧印加時間を第1の書き込み条件に設定し、第1のグループのメモリセルを順次選択してそれぞれ書き込みとベリファイを行う。次に、書込制御部10により第1のグループのメモリセル全体の書き込みに要した時間に応じてセルへの印加電圧、電圧印加時間を変更した第2の書き込み条件に設定し、この条件にて第2のグループのメモリセルを順次選択して書き込みを行う。



1

## 【特許請求の範囲】

【請求項 1】 複数の不揮発性メモリセルが配列されたメモリセルアレイと、

前記メモリセルアレイ内のメモリセルに対するデータの読み出し、書き込み、消去の各動作に応じて、選択されたメモリセルに供給する印加電圧及び印加時間を制御する書込制御部とを具備し、

前記書込制御部は、前記メモリセルアレイ内の前記所定個のメモリセルに対して第 1 の書き込み条件で書き込みを行い、前記所定個のメモリセル以外のメモリセルに対しては、前記第 1 の書き込み条件で書き込みを行った結果に応じて設定された第 2 の書き込み条件で書き込みを行うことを特徴とする不揮発性半導体記憶装置。

【請求項 2】 前記書込制御部は、個々のメモリセルに対して前記書き込みで書き込んだデータが所望のデータになるまで、前記書き込みと前記書き込みで書き込んだデータが所望のデータになっているか否かの検証とを繰り返すことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 3】 複数の不揮発性メモリセルが配列され、第 1 のグループと第 2 のグループを有するメモリセルアレイと、

前記メモリセルアレイ内のメモリセルに対するデータの読み出し、書き込み、消去の各動作に応じて、選択されたメモリセルに対する印加電圧及び印加時間を制御する書込制御部とを具備し、

前記書込制御部は、前記第 1 のグループ内のメモリセルへ供給される印加電圧及び印加時間を第 1 の書き込み条件に設定し、前記第 1 のグループ内のメモリセルを順次選択して書き込みと前記書き込みで書き込んだデータが所望のデータになっているか否かの検証とを行い、さらに前記第 1 のグループ内のメモリセル全体の書き込みに要した時間に応じて前記印加電圧及び印加時間を第 2 の書き込み条件に設定し、前記第 2 のグループ内のメモリセルを順次選択して書き込みと前記書き込みの検証とを行うことを特徴とする不揮発性半導体記憶装置。

【請求項 4】 前記第 1 の書き込み条件で書き込みが行われる第 1 のグループ内のメモリセル全体の書き込み時間を、複数の分周回路で構成されたバイナリカウンタで書き込み電圧のパルス数をカウントすることにより測定し、かつ前記第 1 のグループ内のメモリセル数を 2 の累乗で表される個数に設定することによって、前記バイナリカウンタの出力の上位ビットが 1 つのメモリセル当たりの平均パルス数を表すようにしたことを特徴とする請求項 3 記載の不揮発性半導体記憶装置。

【請求項 5】 前記書込制御部は、前記第 1 のグループ内のメモリセルに対する書き込み電圧の大きさを示す信号と、前記第 1 のグループ内のメモリセルに対し、書き込んだ書き込み回数を示す信号とを加算する加算回路と、この加算回路の出力に応じて前記第 2 のグループ内

2

のメモリセルに対する書き込み電圧を出力する電圧変換回路とを有することを特徴とする請求項 3 記載の不揮発性半導体記憶装置。

【請求項 6】 前記書込制御部は、前記第 1 のグループ内のメモリセルに対する書き込み電圧のパルス数をカウントする第 1 のバイナリカウンタをさらに有し、前記書き込み回数を示す信号は、前記第 1 のバイナリカウンタからの出力であることを特徴とする請求項 5 記載の不揮発性半導体記憶装置。

【請求項 7】 前記書込制御部は、前記第 2 のグループ内のメモリセルに対する書き込み電圧のパルス数をカウントする第 2 のバイナリカウンタを含む制御回路をさらに有し、

前記制御回路には、前記第 1 のバイナリカウンタの出力と、前記第 2 のグループ内のメモリセルに対する書き込み電圧のパルス数と、前記第 2 のバイナリカウンタの出力とが入力され、前記制御回路は、これらの信号に応じて前記第 2 のグループ内のメモリセルに対する書き込み電圧の電圧増分を示す信号を生成することを特徴とする請求項 6 記載の不揮発性半導体記憶装置。

【請求項 8】 前記書込制御部は、前記メモリセルアレイ内のメモリセルのデータを消去し、消去した全てのメモリセルに記憶されたデータが消去されていることを検証した後、メモリセルの閾値分布幅を縮小するために、メモリセル毎に書き込みと前記書き込みで書き込んだデータが所望のデータになっているか否かの検証とを実行することを特徴とする請求項 1 乃至 7 のいずれか 1 項に記載の不揮発性半導体記憶装置。

【請求項 9】 前記書込制御部は、アドレスを更新して個々のアドレスのメモリセルに対して書き込みを行うときに、ある初期条件で、書き込みと前記書き込みで書き込んだデータが所望のデータになっているか否かの検証とを実行し、書き込んだデータが所望のデータになっていない場合には前記メモリセルに印加する電圧をステップアップしていくステップアップ書き込みを行う機能を具備し、所定のアドレスに達するまでは第 1 の初期条件からステップアップ書き込みあるいは第 1 の初期条件で書き込みを行い、前記所定のアドレス以降は第 2 の初期条件からステップアップ書き込みを行うことを特徴とする請求項 1 乃至 8 のいずれか 1 項に記載の不揮発性半導体記憶装置。

【請求項 10】 前記書込制御部は、アドレスを更新して個々のアドレスのメモリセルに対して書き込みを行うときに、ある初期条件で、書き込みと前記書き込みで書き込んだデータが所望のデータになっているか否かの検証とを実行し、書き込んだデータが所望のデータになっていない場合には前記メモリセルに印加する電圧をステップアップしていくステップアップ書き込みを行う機能を具備し、所定のアドレスに達するまでは第 1 の初期条件で、あるいは第 1 の初期条件から第 1 のステップ幅で

## 3

ステップアップするステップアップ書き込みを行い、前記所定のアドレス以降は第1の初期条件から第2のステップ幅でステップアップするステップアップ書き込みを行うことを特徴とする請求項1乃至8のいずれか1項に記載の不揮発性半導体記憶装置。

【請求項11】 前記書込制御部は、アドレスを更新して個々のアドレスのメモリセルに対して書き込みを行うときに、ある初期条件で、書き込みと前記書き込みで書き込んだデータが所望のデータになっているか否かの検証とを実行し、書き込んだデータが所望のデータになっていない場合には前記メモリセルに印加する電圧をステップアップしていくステップアップ書き込みを行う機能を具備し、所定のアドレスに達するまでは前記ステップアップ書き込みの上限電圧を第1の上限電圧に設定し、前記所定のアドレス以降は前記ステップアップ書き込みの上限電圧を第2の上限電圧に設定することを特徴とする請求項1乃至8のいずれか1項に記載の不揮発性半導体記憶装置。

【請求項12】 複数の不揮発性のメモリセルが配列されてなり、複数の前記メモリセルを有するブロックごとに分割されたメモリセルアレイと、

前記メモリセルアレイ内のメモリセルに対するデータの読み出し、書き込み、消去の各動作に応じて、選択されたメモリセルに対する印加電圧及び印加時間を制御する書込制御部と、

前記メモリセルアレイ内のメモリセルに対するデータの消去に際して、ブロック内の全てのメモリセルをまとめて消去するブロック単位でのデータの消去を複数ブロックについて同時に実行する消去制御部とを具備し、

前記書込制御部は、前記消去制御部による複数ブロックに対する同時消去後に、メモリセル毎にメモリセルのデータが所望のデータになっているか否かの検証とメモリセルのデータを所望のデータにするための書き込みとを行う際に、消去を実行した各々のブロック内の所定個のメモリセルに対しては第1の書き込み条件で書き込みを行い、前記ブロック内の前記所定個のメモリセルを除く残りのメモリセルに対しては第2の書き込み条件で書き込みを行うことを特徴とする不揮発性半導体記憶装置。

【請求項13】 複数の不揮発性のメモリセルが配列されてなり、複数の前記メモリセルを有するブロックごとに分割されたメモリセルアレイと、

前記個々のブロック内に形成されたダミーセルと、前記メモリセルアレイ内のメモリセルに対するデータの読み出し、書き込み、消去の各動作に応じて、選択されたメモリセルに対する印加電圧及び印加時間を制御する書込制御部と、

前記メモリセルアレイ内のメモリセルに対するデータの消去に際して、ブロック内の全てのメモリセルをまとめて消去するブロック単位でのデータの消去を実行する消去制御部とを具備し、

## 4

前記書込制御部は、前記消去制御部によるブロック単位でのデータ消去後にメモリセル毎にメモリセルに記憶されたデータが所望のデータになっているか否かの検証と書き込みを行う際に、前記ダミーセルに対して第1の書き込み条件で書き込みを行い、その際の書き込みに要した時間に応じてメモリセルへの印加電圧を変更した第2の書き込み条件を設定し、前記ダミーセルが属するブロック内の残りの通常のメモリセルに対して前記第2の書き込み条件で書き込みを行うことを特徴とする不揮発性半導体記憶装置。

【請求項14】 メモリセルに対して消去を行う第1ステップと、

前記メモリセルへの印加電圧及び印加時間を第1の書き込み条件に設定する第2ステップと、

第1のグループ内のメモリセルに対してメモリセルに記憶されたデータが所望のデータになっているか否かの検証を行い、前記データが所望のデータになっていない場合は、前記第1の書き込み条件にて前記メモリセルに対して書き込みを行った後、再び前記検証を行うことにより、前記メモリセルに記憶されたデータが所望のデータになるまで前記検証と前記書き込みとを繰り返すと共に、データが所望のデータになるまでの書き込み回数をカウントする第3ステップと、

前記第1のグループ内のメモリセルに対する前記書き込み回数に応じて、メモリセルへの印加電圧及び印加時間を第2の書き込み条件に設定する第4ステップと、

前記第1のグループに属さない第2のグループ内のメモリセルに対して、メモリセルに記憶されたデータが所望のデータになっているか否かの検証を行い、所望のデータになっていない場合は、前記第2の書き込み条件にて前記メモリセルに対して書き込みを行った後、再び前記検証を行うことにより、前記メモリセルに記憶されたデータが所望のデータになるまで前記検証と前記書き込みとを繰り返す第5ステップと、

を具備することを特徴とする不揮発性半導体記憶装置のデータ消去方法。

【請求項15】 前記第5ステップでは、前記書き込みが繰り返されるごとに、前記第2のグループ内のメモリセルへ供給される印加電圧がステップアップされることを特徴とする請求項14記載の不揮発性半導体記憶装置のデータ消去方法。

【請求項16】 第1のグループ内のメモリセルに対する書き込みにおける書き込み回数をカウントする第1ステップと、

前記第1ステップでの前記書き込み回数と、前記第1のグループに属さない第2のグループ内のメモリセルに対する書き込みにおける書き込み回数とに応じて、前記第2のグループ内のメモリセルに対する書き込み電圧の電圧増分を示す信号を生成すると共に、前記電圧増分を示す信号を入力側に戻してこの電圧増分を示す信号を制御

5

する第2ステップと、  
前記第2ステップでの前記電圧増分を示す信号と、前記第1のグループ内のメモリセルに対する書き込み電圧を示す信号とに応じて、前記第2のグループ内のメモリセルに対する書き込み電圧を生成する第3ステップと、を具備することを特徴とする不揮発性半導体記憶装置のデータ書き込み方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、不揮発性半導体記憶装置に係り、特にデータ消去後におけるメモリセルの閾値の分布幅を制御する機能を持つNOR型フラッシュメモリに関するものである。

【0002】

【従来の技術】 NOR型フラッシュメモリでは、電源の低電圧化と共に読み出しの高速化が求められている。これらを同時に実現するためには、メモリセルアレイにおける消去状態のメモリセルの閾値分布（消去分布）をいかに狭い範囲に制御するかがキーポイントとなる。

【0003】 NOR型フラッシュメモリにおけるメモリセルの閾値（以下セル閾値）の分布幅を縮小する手段として、消去動作の後に、ビット毎ペリファイおよび弱書き込み（ウィークプログラム (Weak Program)）を行うことが考えられる。

【0004】 前記ビット毎ペリファイは、ビット毎に行うペリファイである。前記弱書き込みは、通常の書き込みより書き込み量の少ない書き込みである。弱書き込みでは、メモリセルのゲートあるいはドレインにかかるバイアスを、通常の書き込みより低く抑えて閾値変化を小さく制御する。

【0005】 次に、NOR型フラッシュメモリにおける弱書き込み動作を説明する。

【0006】 図26(a)は、消去動作後におけるメモリセルアレイのセル閾値の分布を示す図である。図26(b)は、弱書き込み動作後におけるメモリセルアレイのセル閾値の分布を示す図である。

【0007】 まず、消去動作によって、図26(a)に示すように、セル閾値 $V_{th}$ の分布が消去ペリファイ (Erase Verify) レベル $E V$ より低くなる。その後、セル閾値 $V_{th}$ が過消去ペリファイ (Over Erase Verify) レベル $O E V$ より低いセルに対して弱書き込みを行う。これにより、図26(b)に示すように、セル閾値 $V_{th}$ を、消去ペリファイレベル $E V$ より低い範囲で過消去ペリファイレベル $O E V$ より高くし、セル閾値 $V_{th}$ の分布幅を $O E V < V_{th} < E V$ の幅まで縮小する。

【0008】 図26(b)に示したようなセル閾値 $V_{th}$ の分布幅を実現するためのシーケンスを図27に示す。この図27は、従来のビット毎ペリファイ及び弱書き込みの動作を示すフローチャートである。

【0009】 まず、セル閾値 $V_{th}$ の分布の上限が消去ペ

6

リファイレベル $E V$ となるまで、消去動作を行う。続いて、セル閾値 $V_{th}$ の消去分布の下限を過消去ペリファイレベル $O E V$ まで引き上げるために、ビット毎ペリファイと弱書き込みを行う。ビット毎ペリファイでは、セルのゲート印加電圧 $V_g$ を $O E V$ に設定し、全てのセルについて順次にペリファイを行う。

【0010】 ここで、ペリファイ対象となるアドレスのセルのペリファイ結果が $O K$  ( $V_{th} \geq O E V$ ) であれば、アドレスをカウントアップし、次のアドレスのセルにアクセスする。一方、前記ペリファイ結果が $N G$  ( $V_{th} < O E V$ ) であれば、前記セルに対して弱書き込みを行う。そして、前記アドレスのセルの閾値 $V_{th}$ が $O E V$ 以上になるまで、ペリファイと弱書き込みを繰り返す。その後、全てのアドレスに対してペリファイ結果が $O K$ となったか否かを確認し、シーケンスを終了する。

【0011】 前記弱書き込みでは、セル閾値 $V_{th}$ が消去ペリファイレベル $E V$ を越えないように、弱書き込み時にセルに印加するゲート電圧 $V_g$ 、ドレイン電圧 $V_d$ 、及び書き込み時間を設定する。

【0012】 ところで、メモリチップの消去に要する時間は、セルの消去動作と前記セル閾値の分布幅を縮小するためのビット毎ペリファイ及び弱書き込みまで含めた時間で定義される。このため、ビット毎ペリファイと弱書き込みは、極力短時間で実行されることが要求される。従って、弱書き込み時におけるセルに対しての電圧印加時間は、通常の書き込み時と同程度の短時間（例えば1.5  $\mu sec$ ）であることが望ましい。

【0013】 一方、NOR型フラッシュメモリにおけるホットエレクトロン書き込みの書き込み時間とメモリセルの閾値変化量との関係は、通常、図28に示すようになっている。図28は、縦軸にセル閾値 $V_{th}$ の変化量 $\Delta V_{th}$  (V) を、横軸に書き込み時間 ( $\mu sec$ ) (対数) を取った場合のセルの書き込み特性を示す。この図では、セルのドレイン電圧 $V_d$ を5Vに固定し、書き込み時のゲート電圧 $V_g$ をパラメータとしている。

【0014】 この書き込み特性は、書き込み時間の増大に応じてセル閾値 $V_{th}$ が増加する線形領域 ( $\leq 10 \mu sec$ ) から、セル閾値 $V_{th}$ の増加が徐々に小さくなる飽和領域へ変化している。

【0015】 前述した弱書き込みは、10  $\mu sec$ 以下の短いパルスにて書き込みを行うので、前記書き込み特性中の線形領域の特性にしたがう。しかし、この線形領域の特性では、セル閾値の変化量 $\Delta V_{th}$ がメモリセル間のばらつきや温度に大きく影響される。特に、前記セル閾値の変化量 $\Delta V_{th}$ は温度依存性が大きい。

【0016】 図29は、図28に示した書き込み特性中の線形領域の書き込みにおいて、セル閾値 $V_{th}$ を0Vから2Vまでシフトさせるのに必要な書き込み時間（書き込み所要時間）の温度依存特性を示す。

【0017】 この温度依存特性から、書き込み時のゲ

7

ト電圧  $V_g$  を固定したとき、 $100^\circ\text{C}$  と  $-40^\circ\text{C}$  では、セル閾値  $V_{th}$  を  $2\text{V}$  シフトさせるのに必要な時間が最大  $10$  倍以上も異なることがわかる。

【0018】この状況下で、図 27 に示したビット毎ベリファイ及び弱書き込みのシーケンスの実行を考える。

【0019】弱書き込みにより、セル閾値  $V_{th}$  が消去ベリファイレベル  $E_V$  を越えてはならない。このため、書き込み速度が速い低温で消去ベリファイレベル  $E_V$  を越えないように、弱書き込み時のゲート電圧  $V_g$  を設定する必要がある。しかし、このような設定を行うと、書き込み速度が遅い高温では、弱書き込みの所要時間が、書き込み速度が速い低温での所要時間の最大  $10$  倍以上になってしまうことになる。

【0020】また、前述したようなデータ消去動作後のビット毎ベリファイ及び弱書き込みの所要時間は、メモリチップ間のばらつきや、ブロック間のばらつきによっても変動する。前記ブロックは、一括して消去を行うことができるメモリセルの集合体であり、消去実行時の最小単位である。

【0021】

【発明が解決しようとする課題】前述したように従来の不揮発性半導体メモリでは、データ消去動作の後にビット毎ベリファイ及び弱書き込みを行う際、セル閾値をシフトさせるのに必要な時間の温度依存性が大きいので、書き込み速度が遅い高温ではビット毎ベリファイと弱書き込みに必要な所要時間が著しく長くなるという問題がある。

【0022】そこでこの発明は、前記問題点を解決すべくなされたものであり、メモリセルアレイ内の複数のメモリセルを順次選択してデータの書き込みを行う際、動作保証温度内の任意の温度条件で書き込みに必要な所要時間を短く抑えることができる不揮発性半導体記憶装置を提供することを目的とする。

【0023】

【課題を解決するための手段】前記目的を達成するために、この発明の不揮発性半導体記憶装置は、複数の不揮発性メモリセルが配列されたメモリセルアレイと、前記メモリセルアレイのメモリセルに対するデータの読み出し、書き込み、消去の各動作に応じて、選択されたメモリセルに対する印加電圧及び印加時間を制御する書込制御部とを具備し、前記書込制御部は、前記メモリセルアレイ内のメモリセルを指定するためのアドレスを更新し複数のメモリセルを順次選択してデータの書き込みを行う際、所定のアドレスに達するまでは、メモリセルに対して第 1 の書き込み条件で書き込みを行い、前記所定のアドレス以降のアドレスのメモリセルに対しては第 2 の書き込み条件で書き込みを行うことを特徴とする。

【0024】このように構成された不揮発性半導体記憶装置によれば、メモリセルアレイ内の複数のメモリセルを順次選択してデータの書き込みを行う際、メモリセル

8

のアドレス区分に応じて書き込み条件を変化させることにより、動作保証温度内の任意の温度条件において書き込みに必要な全体の所要時間を短く抑えることができる。

【0025】

【発明の実施の形態】以下、図面を参照してこの発明の実施の形態について説明する。

【0026】まず、この発明の概要について NOR 型フラッシュメモリを例にとり説明する。一般に、NOR 型フラッシュメモリにおいて、消去状態におけるメモリセルの閾値分布を狭めることは、低電源電圧での高速読み出しにつながる。そこで、閾値分布を狭めるために、ビット毎ベリファイと弱書き込みが行われている。しかし、弱書き込みにて行われる、 $1\mu\text{sec}$  程度の短いホットエレクトロン書き込みは、セル閾値の変化に対する温度依存性が大きく、書き込みに必要な時間が温度によって大きく異なる。

【0027】そこでこの発明では、一括消去が可能な 1 つのブロック内のメモリセルアレイを、先にビット毎ベリファイ及び弱書き込みを行う第 1 のグループと、その後ビット毎ベリファイ及び弱書き込みを行う第 2 のグループの 2 つに分ける。このような分割をブロック毎に行い、ブロック毎に第 1 のグループと第 2 のグループを設定する。そして、前記第 1 のグループに対して行うビット毎ベリファイ及び弱書き込みをサンプル書き込み（第 1 の弱書き込み）とし、前記第 2 のグループに対して行うビット毎ベリファイ及び弱書き込みをメイン書き込み（第 2 の弱書き込み）とする。

【0028】前記サンプル書き込みは、ブロック内のメモリセルのうち、所定の少数のセル（前記第 1 のグループ）に対して書き込みを行うものである。このサンプル書き込みでは、書き込み時間（速度）に関連するパラメータ、例えば書き込み時のゲート電圧  $V_g$ （ワード線電位）が低めに設定されるとともに、このサンプル書き込み中の弱書き込み回数がカウントされる。

【0029】前記メイン書き込みは、前記ブロック内のメモリセルのうち、前記第 1 のグループを除いた残りの多数のセル（前記第 2 のグループ）に対して書き込みを行うものである。このメイン書き込みでは、前記サンプル書き込み中における弱書き込み回数のカウント結果に応じて、前記パラメータ（ゲート電圧  $V_g$  等）が変更され設定される。すなわち、その時の温度に対して適切なゲート電圧  $V_g$  等が選択される。

【0030】これにより、動作保証温度内の任意の温度条件において、データ消去動作後のビット毎ベリファイ及び弱書き込みの実行に必要な時間を短く抑えることが可能になる。

【0031】【第 1 の実施の形態】図 1 は、この発明の第 1 の実施形態の NOR 型フラッシュメモリ（メモリチップ）の構成を概略的に示すブロック図である。

9

【0032】図1において、メモリセルアレイ1は、NOR型フラッシュのメモリセルを構成するセルトランジスタが行列状に配置されてなる。ロウデコーダ2は、後述するアドレスコントローラ、データコントローラ（アドレス／データコントローラ）で指定されたロウアドレスをデコードして、メモリセルアレイ1内の行選択を行うものである。

【0033】カラムデコーダ3は、アドレス／データコントローラで指定されたカラムアドレスをデコードして、メモリセルアレイ1内の列選択を行うものである。前記カラムデコーダ3は、カラムスイッチ用のトランジスタを含む。

【0034】アドレス／データコントローラ4は、アドレス信号を受けて前記ロウデコーダ2にロウアドレスを供給するとともに、前記カラムデコーダ3にカラムアドレスを供給する。前記アドレス／データコントローラ4は、アドレスカウンタ4aを含む。

【0035】センスアンプ（S/A）5は、メモリセルアレイ1内の選択されたメモリセルに記憶されたデータの読み出しに際して、前記メモリセルからの読み出し電位を、リファレンスセルアレイ6内のリファレンスセルからの読み出し電位と比較することにより前記データを判定する。そして、センスアンプ（S/A）5は、その判定結果を、前記アドレス／データコントローラ4に出力する。

【0036】昇圧回路（電源制御系）7は、前記カラムデコーダ3により選択されたセルトランジスタのドレインに印加すべきドレイン電圧 $V_d$ を、読み出し、書き込み、あるいは消去動作に応じて供給するものである。

【0037】レギュレータ8は、前記昇圧回路7の出力電圧を受け取り、前記ロウデコーダ2により選択されたセルトランジスタのゲート、及び前記カラムデコーダ3内のカラムスイッチ用トランジスタのゲートに印加すべきゲート電圧 $V_g$ を制御信号VGHに基づいて制御する。この例では、レギュレータ8は、制御信号VGHが“H”になると、ゲート電圧 $V_g$ が高くなるように制御する。

【0038】コマンドユーザインタフェース（CUI）9は、外部からコントロールピン（図示せず）に入力される出力イネーブル信号OEB、書き込みイネーブル信号WEB、チップイネーブル信号CEBと、アドレスピン、データピンに入力される所定の信号により、読み出し、書き込み、消去などの命令を判定する。前記コマンドユーザインタフェース9は、これらの命令に基づいて書込制御部（Write State Machine ; WSM）10に制御信号を供給する。

【0039】前記書込制御部10は、読み出し、書き込み、消去の各動作に応じて、前記昇圧回路7、レギュレータ8、及びアドレス／データコントローラ4を制御する。これにより、所定のメモリセルを選択させ、選択されたメモリセルに所定電圧を所定時間だけ印加させる。

10

【0040】さらに、前記書込制御部10は、弱書き込みコントローラ11を含む。この弱書き込みコントローラ11は、前記アドレス／データコントローラ4内のアドレスカウンタ4aから供給されるサンプルエンド信号SENDに基づいて、弱書き込み回数をカウントし前記制御信号VGHを出力する。前記サンプルエンド信号SENDは、後述する第1のグループのアドレスの終了を知らせる信号である。

【0041】ここで、メモリセルアレイ1は、図2に示すように、一括消去が可能な複数のブロックBK1～BK $n$ に分割されている。さらに、ブロックBK1～BK $n$ は、それぞれ第1のグループ（サンプルグループ）G1と第2のグループ（メイングループ）G2とに分割されている。

【0042】前記書込制御部10は、メモリセルアレイ1内の複数のメモリセルを順次選択してデータの書き込みを行う際、前記第1のグループG1と第2のグループG2に対して次のような制御を行う。

【0043】まず、書込制御部10は、セルの書き込み時間（速度）に関連するパラメータを第1の書き込み条件に設定し、第1のグループG1のメモリセルを順次選択してそれぞれ書き込みとベリファイを行うように制御する。前記パラメータは、例えばセルへのゲート印加電圧及びドレイン印加電圧、セルへの電圧印加時間などである。次に、書込制御部10は、第1のグループG1のメモリセル全体の書き込みに要した時間に応じて、セルへの印加電圧や電圧印加時間を変更した第2の書き込み条件を設定し、第2のグループG2のメモリセルを順次選択してそれぞれ書き込みとベリファイを行うように制御する。

【0044】このような制御機能の具体例としては、メモリセルアレイ1内のメモリセルを指定するためのアドレスを変更して複数のメモリセルを決められた順序にしたがって順次選択し、個々のアドレスのメモリセルに対してベリファイをパスするまで書き込みと書き込みベリファイを繰り返すビット毎ベリファイ及び書き込みの動作を制御する機能である。さらに、所定のアドレスに達するまでは、書き込みの際に、第1の書き込み条件で書き込みを行い、前記所定のアドレス以降では第2の書き込み条件で書き込みを行うように制御する機能である。

【0045】ここで、前記ビット毎ベリファイ及び書き込みは、例えばメモリセルアレイのデータを消去し、全てのセルが消去ベリファイをパスした後、セルの閾値分布幅を縮小するためなどに用いられる。

【0046】次に、図3（a）、（b）を用いて図1中の弱書き込みコントローラ11について説明する。

【0047】図3（a）は、図1中の弱書き込みコントローラ11の構成を示す回路図である。

【0048】この弱書き込みコントローラ11は、3段の分周回路BC1～BC3からなるバイナリカウンタ2



11

1、2つの入力端子を持つナンドゲート221、222、及び3個のインバータ231、232、233からなる。

【0049】図3(b)は、図3(a)中の分周回路BC1~BC3の1段分の構成を示す回路図である。

【0050】この分周回路は、マスター・スレーブ型のフリップフロップ(F/F)回路からなる。ここでは、分周回路は、2つの入力端子を持つノアゲート241、242、4個のクロックインバータ251~254、およびインバータ26が図示のように接続されてなる。

このようなフリップフロップ(F/F)回路の動作は、よく知られているのでその詳述な説明は省略する。

【0051】図3(a)において、弱書き込み信号WPRGMDは弱書き込みを実行するとき“H”となる弱書き込みの実行を指示する信号であり、別の回路(図示せず)から供給される。サンプルエンド信号SENDは、前記第1のグループのアドレスの終了を知らせる信号であり、前記アドレスコントローラ4内のアドレスカウンタ4aから出力される。前記SENDは、所定の少数のセル(前記第1のグループ)に対する弱書き込み回数をアドレスカウンタ4aがカウントしている期間中(サンプル書き込み中)は“L”、その後は“H”となる。信号RESETは、分周回路をリセットする信号であり、別の回路(図示せず)から供給されて各分周回路BC1~BC3のリセット端RSTに入力される。

【0052】図3(a)に示すように、前記信号SENDをインバータ233で反転した信号と信号WPRGMDは、ナンドゲート221にそれぞれ入力される。このナンドゲート221の出力信号およびそれをインバータ231で反転した信号は、バイナリカウンタ21の初段分周回路BC1の相補的なクロック入力端CLK、/CLKにそれぞれ入力される。

【0053】前記バイナリカウンタ21の最終段の分周回路BC3の相補的な信号出力端のうちの一方の出力端OUTの出力信号、およびサンプルエンド信号SENDはナンドゲート222にそれぞれ入力される。さらに、このナンドゲート222の出力信号は、インバータ232で反転され、図1中のレギュレータ8に制御信号VGHとして供給される。前記制御信号VGHは、ゲート電圧Vgを適当な値に制御するために使用される。

【0054】前記バイナリカウンタ21は、サンプルエンド信号SENDが“L”である期間に、弱書き込みを何回実行したかをカウントアップする。このカウントアップが所定の回数に達するまでは、バイナリカウンタ21の出力端OUTの信号は“L”である。つまり、制御信号VGHは“L”である。

【0055】そして、バイナリカウンタ21のカウントアップが所定の回数に達したときには、バイナリカウンタ21の出力端OUTの信号は“H”になる。このとき、信号SENDも“H”になる。よって、制御信号VGHは

12

“H”になる。

【0056】次に、図4(a)、(b)を用いて図1中のレギュレータ8について説明する。このレギュレータ8には、図4(a)に示すD/Aコンバータや、図4(b)に示す電圧切換回路が用いられる。

【0057】図4(a)は、図1中のレギュレータ8の一例として用いられるD/Aコンバータの回路図である。

【0058】このD/Aコンバータは、電圧制御用のpMOSトランジスタP0、抵抗分圧回路、電圧比較回路CP、スイッチ用のpMOSトランジスタP1、及びレベルシフタLSからなる。

【0059】電圧制御用pMOSトランジスタP0のソースは、昇圧電圧Vppが印加される昇圧電源ノードに接続されており、ドレインはD/A変換出力ノードとなっている。抵抗分圧回路は、前記pMOSトランジスタP0のドレインと接地ノードとの間に直列に接続された抵抗素子R1、抵抗素子R2および抵抗素子R3からなる。

【0060】電圧比較回路CPの非反転入力端(+)は、前記抵抗分圧回路における抵抗素子R2と抵抗素子R3との間の接続ノードに接続され、反転入力端(-)には基準電圧Vrefが供給される。前記電圧比較回路CPの出力端は、前記pMOSトランジスタP0のゲートに接続されている。

【0061】スイッチ用pMOSトランジスタP1は、前記pMOSトランジスタP0のドレイン(D/A変換出力ノード)と、抵抗素子R1と抵抗素子R2間の接続ノードとの間に接続されている。

【0062】レベルシフタLSは、制御信号VGHのレベルをシフトし、前記スイッチ用pMOSトランジスタP1のゲートにレベルシフトした信号を印加する。前記レベルシフタLSは、制御信号VGHが“H”レベルのときに、スイッチ用pMOSトランジスタP1をオフ状態に制御する。

【0063】図4(a)のD/Aコンバータにおいて、制御信号VGHが“L”レベルのときには、スイッチ用pMOSトランジスタP1はオン状態となり、抵抗素子R1の両端間は短絡されている。このとき、抵抗分圧回路における抵抗素子R2および抵抗素子R3の直列接続ノードの電圧(帰還電圧)Vfは基準電圧Vrefより高くなる。よって、電圧比較回路CPの出力電圧は高くなり、pMOSトランジスタP0のオン抵抗は高い状態となる。これにより、この時のD/A変換出力ノードの電圧VgはV0になる。

【0064】一方、制御信号VGHが“H”レベルのときには、スイッチ用pMOSトランジスタP1はオフ状態になり、抵抗素子R1の両端間は短絡されなくなる。このとき、抵抗分圧回路の帰還電圧Vfは低くなり、電圧比較回路CPの出力電圧は低くなる。よって、pMOS

13

トランジスタP0のオン抵抗は低い状態になる。これにより、D/A変換出力ノードの電圧VgはV1になる。

【0065】また、図1中のレギュレータ8の他の例として、構成が簡単な電圧切換回路を用いてもよい。図4(b)は、前記電圧切換回路の構成を示す回路図である。

【0066】この電圧切換回路では、電圧V0が印加される第1の入力ノードと、ゲート電圧Vgが出力される出力ノードとの間に、pMOSトランジスタP0が接続されている。また、電圧V1が印加される第2の入力ノードと前記出力ノードとの間に、pMOSトランジスタP1が接続されている。制御信号VGHは、pMOSトランジスタP0のゲートに入力され、さらに前記制御信号VGHはインバータ回路IVにより反転されてpMOSトランジスタP1のゲートに入力されている。

【0067】このような電圧切換回路では、制御信号VGHが“L”レベルのときに、pMOSトランジスタP0がオン状態になり、ゲート電圧Vgとして電圧V0が出力ノードから出力される。一方、制御信号VGHが“H”レベルのときには、pMOSトランジスタP1がオン状態になり、ゲート電圧Vgとして電圧V1が出力ノードから出力される。

【0068】次に、図1に示すフラッシュメモリの動作を説明する。

【0069】データの読み出し動作は、選択されたメモリセルからの読み出し電位と、リファレンスセルアレイ6内のリファレンスセルからの読み出し電位とをセンスアンプ5で比較することにより行われる。ビット毎ベリファイ及び弱書き込みの動作は、例えば図5に示すようなフローチャートにしたがって行われる。

【0070】まず、図5のフローチャートの概要を説明する。書込制御部10内の弱書き込みコントローラ11は、弱書き込みを行うアドレスをブロック毎に第1のグループと第2のグループの2つのグループに分け、第1のグループのアドレスをサンプル書き込みのためのアドレスとして割り当てる。さらに、ベリファイのデータを“0”に固定し、ゲート電圧Vgを過消去ベリファイレベルOEVに固定する。弱書き込みコントローラ11は、第1のグループのアドレスに対するサンプル書き込み期間中に、弱書き込みを何回実行したかをカウントする。

【0071】そして、弱書き込みコントローラ11は、前記サンプル書き込み期間中に実行した弱書き込み回数に応じて、制御信号VGHを出力し、第2のグループのアドレスに対するメイン書き込み期間中の弱書き込み時のゲート電圧Vgを設定する。その後、設定されたゲート電圧Vgを用いて、第2のグループのアドレスに対するメイン書き込みを行う。

【0072】次に、前述したようなサンプル書き込みによるサンプリング手法を用いた場合のビット毎ベリファ

14

イ及び弱書き込みの動作シーケンスについて、図5に示すフローチャートを参照しながら詳細に説明する。

【0073】図5のフローチャートにおいて、基本的な動作シーケンスは図27に示した従来例のフローチャートと変わらないが、SEND=“L”(サンプル書き込み期間中)ならVg=V0で弱書き込みを実行し、SEND=“H”(メイン書き込み期間中)ならVg=V1で弱書き込みを実行する点が異なる。

【0074】まず、セルに対して消去を行う(ステップS1)。この消去は、セルの閾値Vthの分布の上限が消去ベリファイレベルEVとなるまで行われる。

【0075】続いて、アドレスを“0”、弱書き込み回数Nを“0”に設定する。さらに、書き込み速度が速い条件(低温)で1回の弱書き込みにより、セルの初期閾値Vthがいくらであろうと、弱書き込み後の閾値Vthが消去ベリファイレベルEVを超えないように、電圧V0(=ゲート電圧Vg)を設定する(ステップS2)。

【0076】このままの条件で全てのセルに対して弱書き込みを行うと、書き込み速度が遅い条件(高温)下では、前記動作シーケンスが終了するまでに非常に長い時間がかかる。具体的には、例えば弱書き込みを実行する際、ある一つのアドレスのセルに着目すると、低温では数回の弱書き込みでベリファイ結果がOKになる場合でも、高温ではその1.0倍の回数の弱書き込みを行わないとベリファイ結果がOKにならない場合がある。

【0077】そこで、まずサンプル書き込みを実行し、続いてこのサンプル書き込み期間中の弱書き込み回数に応じて設定されたゲート電圧を用いて、メイン書き込みを実行する。これにより、メイン書き込みの回数が非常に多くなって、前記動作シーケンスが終了するまでに非常に長い時間がかかるのを防止する。以下に、サンプル書き込みとメイン書き込みの手順を述べる。

【0078】第1のグループのアドレスが指定するセルに対し、前記サンプル書き込みとしてのベリファイ及び弱書き込みを以下のように実行する。ゲート電圧Vg=OEVでベリファイを行い(ステップS3)、ベリファイ結果がNGのときはゲート電圧Vg=V0で弱書き込みを行い、弱書き込み回数Nを1増加させる(ステップS4)。その後、再びゲート電圧Vg=OEVでベリファイを行う。このように、ベリファイ結果がOKになるまで、弱書き込み及びベリファイを繰り返す。

【0079】図3(a)中のバイナリカウンタ21は、サンプル書き込み期間中(SEND=“L”の期間中)に、実行した弱書き込み回数Nを保持する。すなわち、アドレスを更新しながら(ステップS5)、第1のグループの終了アドレスまでサンプル書き込みを実行し(ステップS6)、この期間の弱書き込み回数Nを求める。この弱書き込み回数Nから、前記第1のグループのセルに対する弱書き込み実行中の書き込み条件(温度)を推定できる。

15

【0080】サンプル書き込み終了後、弱書き込み回数Nに基づいて図1中のレギュレータ8を制御し、弱書き込みの回数が少なくなるように、ゲート電圧Vgを最適化して電圧V1を設定する(ステップS7)。この場合、SEND="H"となり制御信号VGHが"H"になると、レギュレータ8は、ゲート電圧Vgをサンプル書き込み中よりも高くなるように(V1 > V0)制御する。一方、制御信号VGHが"L"のままなら、ゲート電圧Vgをサンプル書き込み中と同じになるように(V1=V0)制御する。

【0081】続いて、第2のグループのアドレスが指定するセルに対し、前記メイン書き込みとしてのペリファイ及び弱書き込みを以下のように実行する。ゲート電圧Vg=OE Vでペリファイを行い(ステップS8)、ペリファイ結果がNGのときはゲート電圧Vg=V1で弱書き込みを行う(ステップS9)。その後、再びゲート電圧Vg=OE Vでペリファイを行う。このように、ペリファイ結果がOKになるまで、弱書き込み及びペリファイを繰り返す。

【0082】前記ステップS8でペリファイ結果がOKのとき、アドレスを更新して(ステップS10)、終了アドレスを越えていない場合、ステップS8に戻る。そして、第2のグループの終了アドレスまでメイン書き込みを実行する(ステップS11)。前記メイン書き込みでは、サンプル書き込み終了後の残りのセルについて、ゲート電圧Vg=V1で弱書き込みを実行することにより、弱書き込み回数を減少させることができるため、データ消去に伴って行われる弱書き込みに必要な時間の温度依存性を小さくできる。

【0083】その後、前記弱書き込みによって、セル閾値Vthが消去ペリファイレベルEVを越えていないか確認するために、すべてのセルに対してゲート電圧Vg=EVで消去ペリファイを行う(ステップS12)。ペリファイ結果がNGのときは、再びステップS1の消去動作に戻り、前記動作シーケンスを再び実行する。一方、ペリファイ結果がOKであるときは、ビット毎ペリファイ及び弱書き込みの動作シーケンスを終了する。

【0084】前述したサンプル書き込みを用いた手法により、弱書き込み時の最適なゲート電圧V1を得るには、各々の条件下におけるサンプル書き込み中の弱書き込み回数を予め推定しておく必要がある。これは、それぞれの条件下におけるメモリセルの弱書き込み特性(弱書き込み時間と閾値変化の関係)と、閾値幅縮小前の閾\*

16

\*値分布の分布関数から得ることができる。以下に、その推定手法の概要を述べる。

【0085】説明を簡単にするために、弱書き込み特性の温度特性のみを考慮する。すると、ある温度下で1つのセルについての弱書き込み時間は初期の閾値のみに依存する。よって、図6に示すように、必要な弱書き込み回数によって、消去後の閾値分布を分割することができる。図6中の1~niは、セルの閾値VthがVth > OE Vとなるのに必要な弱書き込み回数を示す。P(Vi ≤ Vth < Vi-1)を、閾値がVi ≤ Vth < Vi-1となる確率(分布関数)とすると、1つのセルに必要な弱書き込み回数の期待値nを計算することができる。閾値がVi ≤ Vth < Vi-1であるセルにはni回の弱書き込みが必要であるとすると、nは、

【0086】

【数1】

$$n = \sum_{i=1}^{\infty} n_i P(V_i \leq V_{th} < V_{i-1})$$

【0087】で表される。弱書き込みを行うセル数が増えれば、1つのセル当たりの平均弱書き込み回数はnに近づく。

【0088】しかし、実際のシーケンスではセル単位ではなく、アドレス単位でセルを選択する。すなわち、1つのアドレスで例えば1ワード(16セル)が選択され、同時に書き込みが実行される。これら16セルは、初期の閾値が異なり、必要な弱書き込み回数も違う。あるアドレスにより3つのセルが同時に選択されたときのペリファイ結果を、例として図7に示す。

【0089】セル1は、初めから目的とする分布内に閾値があり、弱書き込みを行う前のペリファイでOKとなった。セル2は、1回目の弱書き込み後のペリファイでOKとなった。しかし、セル3は、3回目の弱書き込み後のペリファイでようやくOKとなった。よって、このアドレスは3回の弱書き込みで弱書き込みが終了したことになる。

【0090】このように、実際の弱書き込みにおける回数のサンプリングでは、16セル中の最も書き込みの遅い(初期閾値の低い)セルに必要な弱書き込み回数が反映される。このことを考慮すると、16セルのうちの少なくとも1つがni回で書き込まれる確率は、

【0091】

【数2】

$$P(V_{th} \geq V_i)^{16} - P(V_{th} \geq V_{i-1})^{16}$$

で表されるから、1つのセルの書き込みに必要な弱書き込み回数の期待値nは、

$$n = \sum_i n_i \left\{ P(V_{th} \geq V_i)^{16} - P(V_{th} \geq V_{i-1})^{16} \right\}$$

【0092】で計算できる。なお、必要に応じてセルトランジスタのゲート長や書き込みバイアスのばらつきを

17

考慮してもよい。

【0093】なお、図5に示したフローチャートでは、サンプル書き込み中に実行した弱書き込み回数に基づいて、セルのゲート電圧Vgを制御したが、このゲート電圧Vgに代えて、セルのドレイン印加電圧Vdや弱書き込み時間を制御してもよい。

【0094】また、サンプル書き込みの対象とするセル数（アドレス数）は、少ないほど望ましいが、あるセルの消去直後の閾値Vthの初期値が不明であるので、ある程度の個数が必要である。

【0095】また、前記第1の実施の形態では、図2に示すように、一括消去が可能なブロックBK1～BK<sub>n</sub>において各々のブロックごとに、サンプル書き込みを行う対象セル（第1のグループ）G1を設定した。ブロック間の閾値のばらつきが小さく、セル特性が変わらない場合には、ブロックごとに対象セルを設定せず、図8に示すように、1つのブロックに設定した対象セルG1から得た弱書き込み回数に基づいて、残りのフラッシュメモリ全体のメモリセルに対してメイン書き込みを行うようにしてもよい。

【0096】なお、前記第1の実施の形態では、サンプル書き込み期間中の弱書き込み回数が所定値に達すると、メイン書き込み期間中にセルに印加するゲート電圧Vgを、サンプル書き込み期間中に印加するゲート電圧Vgより高い所定の一定電圧に設定した。しかし、サンプル書き込み期間中の弱書き込み回数に応じて、メイン書き込み期間中のゲート電圧Vgを可変設定することも可能であり、その一例を以下の第2の実施の形態において説明する。

【0097】〔第2の実施の形態〕図9は、第2の実施の形態における弱書き込みコントローラおよびレギュレータの構成を示すブロック図である。前記弱書き込みコントローラおよびレギュレータでは、サンプル書き込み期間中の弱書き込み回数に応じて、メイン書き込み期間中にセルに印加するゲート電圧Vgを可変設定する制御が行われる。

【0098】図9において、図1中の弱書き込みコントローラ11に相当するものとして、バイナリカウンタ41およびデコーダ42が設けられている。また、図1中のレギュレータ8に相当するものとして、D/Aコンバータ43が設けられている。

【0099】前記バイナリカウンタ41は、図3（a）中に示したバイナリカウンタ21と同様の構成である。前記バイナリカウンタ41には、弱書き込み信号WPRGMD、サンプルエンド信号SEND、及びリセット信号RESETが入力される。

【0100】デコーダ42は、前記バイナリカウンタ41の各段の分周回路BC1～BC3の出力信号をデコードする。D/Aコンバータ43は、昇圧回路44から供給される電圧を受け取り、前記デコーダ42からのデコ

18

ード出力に応じて、電圧Vgを変更して出力する。

【0101】なお、前記弱書き込み信号WPRGMDは、弱書き込みの実行状態となっている間は“H”となる。また、サンプルエンド信号SENDは、サンプル書き込み中には“L”、メイン書き込み中には“H”になる。また、リセット信号RESETは、弱書き込み回数のカウンタをリセットするときに“H”になる。

【0102】次に、図10を用いて、D/Aコンバータ43について詳細に説明する。

10 【0103】図10は、図9中のD/Aコンバータ43の構成を示す回路図である。

【0104】このD/Aコンバータ43は、図4（a）に示したD/Aコンバータに対して、以下のように変更されている。抵抗分圧回路における抵抗素子R1～R5の数を増やして、抵抗短絡用ノード数（分圧数）を増やす。D/A変換出力ノードと各抵抗短絡用ノードとの間に、それぞれ対応してスイッチ用pMOSトランジスタ（例えばP1～P3）が接続され、各スイッチ用pMOSトランジスタに対応してデコーダ42からのデコード出力信号（例えばV1～V3）が供給される。デコード出力信号により、pMOSトランジスタP1～P3がスイッチングされ、D/Aコンバータ43の出力が制御される。なお、図10において、図4中と同一部分には同一符号を付している。

【0105】図10のD/Aコンバータにおいて、デコード出力信号V1～V3がそれぞれ非活性レベル“H”のときには、スイッチ用pMOSトランジスタP1～P3はそれぞれオフ状態である。

【0106】このとき、抵抗分圧回路における抵抗素子R4および抵抗素子R5の直列接続ノードの電圧（帰還電圧）Vfが基準電圧Vref入力と等しくなるように電圧比較回路CPの出力電圧が制御される。この結果、D/A変換出力ノードの電圧Vgは、R1～R5の直列抵抗とR5の比で決まる値 $Vg0 = Vref \times (R1 + R2 + R3 + R4 + R5) / R5$ になる。

【0107】いま、デコード出力信号V1～V3のうち、V1のみが“L”レベルになると、スイッチ用pMOSトランジスタP1～P3のうちのP1のみがオン状態になる。これにより、抵抗素子R1の両端間が短絡される。この結果、D/A変換出力ノードの電圧Vgは、R2～R5の直列抵抗とR5の比で決まる値 $Vg1 = Vref \times (R2 + R3 + R4 + R5) / R5$ になり、前記Vg0よりも、R1が短絡された分に応じて $Vref \times R1 / R5$ だけ低い値に制御される。

【0108】これに対して、デコード出力信号V1～V3のうち、V2のみが“L”レベルになると、スイッチ用pMOSトランジスタP1～P3のうちのP2のみがオン状態になる。これにより、D/A変換出力ノードと抵抗素子R2および抵抗素子R3の直列接続ノードとの間の抵抗素子（抵抗素子R1および抵抗素子R2）が短

50

19

絡される。

【0109】この結果、D/A変換出力ノードの電圧  $V_g$  は、 $R_3 \sim R_5$  の直列抵抗と  $R_5$  の比で決まる値  $V_{g2} = V_{ref} \times (R_3 + R_4 + R_5) / R_5$  になり、前記  $V_{g1}$  よりも、 $R_2$  が短絡された分に応じて  $V_{ref} \times R_2 / R_5$  だけ低い値に制御される。

【0110】これに対して、デコード出力信号  $V_1 \sim V_3$  のうち、 $V_3$  のみが“L”レベルになると、スイッチ用 pMOS トランジスタ  $P_1 \sim P_3$  のうちの  $P_3$  のみがオン状態になる。これにより、D/A変換出力ノードと抵抗素子  $R_3$  および抵抗素子  $R_4$  の直列接続ノードとの間の抵抗素子（抵抗素子  $R_1 \sim$  抵抗素子  $R_3$ ）の両端間が短絡される。

【0111】この結果、D/A変換出力ノードの電圧  $V_g$  は、 $R_4$ 、 $R_5$  の直列抵抗と  $R_5$  の比で決まる値  $V_{g3} = V_{ref} \times (R_4 + R_5) / R_5$  になり、前記  $V_{g2}$  よりも、 $R_3$  が短絡された分に応じて  $V_{ref} \times R_3 / R_5$  だけ低い値に制御される。

【0112】次に、図9に示した弱書き込みコントローラおよびレギュレータの動作を説明する。

【0113】信号  $WPRGMD$  をクロックとしてバイナリカウンタ41を動作させることにより、弱書き込み回数をカウントする。サンプル書き込みが終了した後は、信号  $SEND$  が“H”になっているので、バイナリカウンタ41の入カクロックは“L”レベルで固定である。したがって、バイナリカウンタ41がリセットされるまでは、サンプル書き込み時の弱書き込み回数がバイナリカウンタ41に保持される。

【0114】前記したように、バイナリカウンタ41の各段の分周回路  $BC_1 \sim BC_3$  の出力信号はデコーダ42に入力してデコードされ、そのデコーダ42のデコード出力に応じてD/Aコンバータ43の出力電圧（ゲート電圧  $V_g$ ）が変化する。このようにして、ゲート電圧  $V_g$  は、複数の電圧値の中から選択され設定されることになる。

【0115】〔第3の実施の形態〕前述した第2の実施の形態のように、サンプル書き込み期間中の弱書き込み回数に応じてメイン書き込み期間中にセルに印加するゲート電圧  $V_g$  を可変設定する場合、サンプル書き込み期間中の弱書き込み回数とメイン書き込みのゲート電圧をどう関係づけるかが重要である。この第3の実施の形態では、サンプル書き込みを行うアドレスの個数を2の累乗で表される数にすることにより、サンプル書き込みにおけるアドレス1個当たりの平均弱書き込み回数を導出し、簡単にメイン書き込み時のゲート電圧を設定することが可能になる。

【0116】図11は、第3の実施の形態における弱書き込みコントローラおよびレギュレータの構成を示すブロック図である。前記弱書き込みコントローラおよびレギュレータでは、サンプル書き込み期間中の弱書き込み

20

回数に応じて、メイン書き込み期間中にセルに印加するゲート電圧  $V_g$  を可変設定する制御が行われる。

【0117】図11において、図1中の弱書き込みコントローラ11に相当するものとして、バイナリカウンタ51および加算器521～524が設けられている。前記バイナリカウンタ51は、分周回路  $BC_1 \sim BC_7$  を有している。前記分周回路  $BC_1 \sim BC_7$  と加算器521～524との間には、アンドゲート  $AD_1 \sim AD_4$  が接続されている。

【0118】ナンドゲート53の第1入力端には弱書き込み信号  $WPRGMD$  が入力され、その第2入力端にはインバータ54を経てサンプルエンド信号  $SEND$  が入力され、さらにその第3入力端には分周回路  $BC_7$  の  $\text{OUT}$  端子の出力が入力される。ナンドゲート53の出力は、分周回路  $BC_1$  の  $CLK$  端子に、またインバータ55を経て分周回路  $BC_1$  の  $CLK$  端子に入力される。

【0119】また、図1中のレギュレータ8に相当するものとして、D/Aコンバータ4.3が設けられている。前記D/Aコンバータ4.3には、昇圧回路4.4よりが昇圧電位が供給される。

【0120】前記バイナリカウンタ51は、サンプル書き込みの期間中、すなわちサンプルエンド信号  $SEND$  が“L”の間に、弱書き込み信号  $WPRGMD$  が“H”となった回数をカウントする。

【0121】弱書き込み時にセルに印加するゲート電圧（D/Aコンバータ出力値） $V_g$  は、D/Aコンバータ4.3への4つの入力値  $A \sim D$  で決まる。例えば、D/Aコンバータ入力値とD/Aコンバータ出力値との関係を図12に示すように設定しておく。前記入力値  $A \sim D$  は、入力信号  $IN_1 \sim$  と入力信号  $IN_2$  との和であり、加算器521～524で生成される。

【0122】前記入力信号  $IN_1$  は、弱書き込みにおける最低のゲート電圧、すなわちサンプル書き込み時のゲート電圧を示すようなデジタル値である。例えば、図12を参照して説明すると、サンプル書き込み時のゲート電圧が2.0Vである場合、入力信号  $IN_1$  は（0、0、0、0）となり、ゲート電圧が2.5Vである場合、入力信号  $IN_1$  は（0、0、0、1）となる。前記入力信号  $IN_2$  は、弱書き込み回数を示す信号であり、メイン書き込み時におけるゲート電圧増分をあらわす。前記加算器は、図13に示すように、バストラジスタ  $PH_1 \sim PH_4$ 、インバータ  $IV_1 \sim IV_6$  を有する回路と、ナンドゲート  $ND_5 \sim ND_8$  を有する回路とから構成されている。

【0123】このように構成された回路において、サンプル書き込み時のアドレスの個数を2の  $n$  乗で記述できる数にしておく。すると、弱書き込み回数を示すバイナリカウンタ51の出力（分周回路  $BC_1 \sim BC_7$  の出力）のうち、下位  $n$  ビットの出力（分周回路  $BC_1 \sim BC_n$  の出力）を除いた値はちょうど1つのアドレスに対

10

20

30

40

50

21

して行われる弱書き込みの平均書き込み回数となる。

【0124】例えば、サンプル書き込みにおけるアドレスの個数を8(=2<sup>3</sup>)個にしたときは以下ようになる。図11に示すように、分周回路BC1~BC7の出力のうち、分周回路BC1~BC3の出力を除いた値、すなわち分周回路BC4~BC7の出力は個々のアドレスに対して行われる弱書き込み回数の平均値となる。この場合、弱書き込み回数の平均値と入力信号IN2との関係は図14に示すようになり、これらに対するゲート電圧の増分ΔVgも図14に示すように設定することができる。

【0125】以上説明したように、サンプル書き込みを行うアドレス数を2<sup>n</sup>個とし、メイン書き込み時のゲート電圧増分を設定するための信号として、前記バイナリカウンタ51の上位ビット((n+1)ビット以上)の出力を使用する。これにより、メイン書き込みにおけるゲート電圧増分の最適化が極めて容易になる。なお、図11に示す回路では、サンプル書き込み期間中は、増分を反映させないように、アンドゲートAD1~AD4が

接続されている。

【0126】[第4の実施の形態] 前記サンプル書き込みにおいて、図1中のアドレスコントローラ4内のアドレスカウンタ4aが予め設定されたアドレスに到達した時点でアドレスの終了を知らせる信号SENDを出力させることにより、フラッシュメモリ全体の構成を最も簡単にすることができる。

【0127】図15(a)は、第4の実施の形態で 사용되는アドレスコントローラの構成を示す回路図である。ここでは、1024本のワード線を有するメモリセルアレイにおいて、ワード線をカウントする場合を例に

取り説明する。

【0128】図15(a)において、70i(i=0~8)はアドレスカウンタ、信号RESETはアドレスカウンタ70iのカウントをリセットするリセット信号、信号ADDPAD<i>(i=0~8)はチップ外部から入力されるアドレス信号、信号SELECTは入力されたアドレス信号を選択するアドレス選択信号、信号ADD<i>(i=0~8)はチップ内部で使用されるアドレス信号である。

【0129】各アドレスカウンタ70iにおいて、端子ADVINはクロック信号CKが入力されるクロック入力端、端子CARRYINは桁繰り上げを示すキャリアー信号CARRYが入力されるキャリアー入力端、端子CARRYOUTは前記キャリアー信号を出力するキャリアー出力端、アドレス信号信号ADD<i>(i=0~8)はカウント値を示す信号であり、ロウデコーダ2に供給される。なお、アドレスカウンタは、行アドレスに対応するカウンタと列アドレスに対応するカウンタが設けられるが、ここでは行アドレスに対応するカウンタのみを示している。

【0130】図15(b)は、図15(a)中のアドレスカウンタ70iの構成を示す回路図である。

22

【0131】このアドレスカウンタは、クロック入力端ADVINに入力されるクロック信号と、キャリアー入力端CARRYINに前段回路から入力されるキャリアー信号との否定論理積を取るナンドゲート71と、このナンドゲート71の出力を反転させて信号ADVを出力するインバータ72と、リセット信号RESETがリセット入力端に入力され、前記信号ADVにより反転動作するF/F回路73と、前記F/F回路73の出力およびチップ外部から入力するアドレス信号ADDPAD<i>のいずれか一方をアドレス選択信号SELECTにより選択してアドレス信号ADD<i>として出力するマルチプレクサ74と、前記F/F回路73の出力と前段回路からキャリアー入力端CARRYINに入力されるキャリアー信号との否定論理積を取るナンドゲート75と、このナンドゲート75の出力を反転させてキャリアー出力端CARRYOUTからキャリアー信号CARRYを出力するインバータ76とを有する。

【0132】図16は、図15(a)のアドレスコントローラの動作を示すタイミング波形図である。

【0133】図15(a)のアドレスコントローラは、リセット信号RESETによりリセットされた後、クロック入力端ADVINに入力されるクロック信号をカウントアップする。そして、チップ外部から入力されるアドレス信号ADDPAD<0>~ADDPAD<8>と、各段のアドレスカウンタから出力される信号のいずれか一方を、アドレス選択信号SELECTにより選択してアドレス信号ADD<0>~ADD<8>として出力する。

【0134】図17は、第4の実施の形態で使用されるアドレスコントローラ内のSEND信号を生成する回路の構成を示す回路図である。

【0135】このSEND信号の生成回路では、F/F回路77のリセット入力端にリセット信号RESETを入力し、セット入力端にキャリアー信号CARRYを入力することにより、簡単な構成により信号SENDを生成することができる。例えば、前記キャリアー信号入力として、行アドレスカウンタの3段目から出力されるキャリアー信号CARRY<2>を用いれば、このキャリアー信号CARRY<2>が“1”になるまでの4ワード線分のセルをサンプルとして使用することになる。

【0136】次に、ブロック単位でのデータ消去が可能なフラッシュメモリに対して、SEND信号の生成回路を設ける場合について説明する。

【0137】NOR型フラッシュメモリには、メモリセルアレイが複数のメモリセルブロックに分割され、メモリセルアレイのセルに対するデータの消去に際して、ブロック内のセルの全てをまとめて消去するブロック単位でのデータの消去を実行するための消去制御部を具備するものがある。

【0138】図19(a)、図19(b)は、一括消去可能なブロック単位が64Kバイト、32Kバイトのそれぞれの場合のサンプル書き込みに用いられるワード線



23

を示している。図19(a)に示す64Kバイトのブロックでは、ワード線WL1~WL4を用いてサンプル書き込みが行われる。図19(b)に示す32Kバイトのブロックでは、ワード線WL1~WL8を用いてサンプル書き込みが行われる。

【0139】ところで、同一のフラッシュメモリにおいて、アドレスによって消去単位が64Kバイトであったり、8Kバイトであったりする変則ブロックが設定されているものがある。このようなフラッシュメモリでは、消去単位(ブロック単位)の違いによって1ワード線当りのセル数が異なるため、図17に示したような単純な構成のSEND信号生成回路に、行アドレスに対応するアドレスカウンタのキャリー出力信号を入力して信号SENDを生成すると、サンプル書き込みにおけるサンプルセル数が異なってしまうという問題が生じることがある。

【0140】この問題を解決するためには、図18に示すように構成されたSEND信号生成回路を用いて、行アドレスに対応するカウンタのキャリー出力信号ではなく、列アドレスに対応するカウンタのキャリー出力信号をバイナリカウンタ100でカウントすることにより、信号SENDを生成するという手段を用いることができる。

【0141】図18に示すSEND信号生成回路において、バイナリカウンタ100は図3(a)に示した第1の実施の形態に係る弱書き込みコントローラと同様に、分周回路BC1~BC3を有している。

【0142】初段の分周回路BC1のクロック入力端CLKには、列アドレスに対応するアドレスカウンタから出力されるキャリー出力信号(例えばCARRY<2>)が入力される。また、分周回路BC1のクロック入力端CLKには、前記キャリー出力信号のインバータ101で反転された信号が入力される。

【0143】そして、初段の分周回路BC1の出力と最終段の分周回路BC3の出力との否定論理積をナンドゲート102でとり、このナンドゲート102の出力がSR型F/F回路103のセット入力端Sに入力される。リセット信号RESETは、インバータ104で反転され、前記SR型F/F回路103のリセット入力端Rに入力される。このSR型F/F回路103の出力端Qの信号は、インバータ105で反転されて信号SENDとして出力される。

【0144】なお、前記列アドレスに対応するアドレスカウンタのキャリー出力信号として、変則ブロックのうちの最小ブロックに含まれるカラム数に対応する回路段のキャリー出力信号(例えばCARRY<2>)を用いれば、分周回路の数を減らすことができる。但し、全てのブロックがこの最小変則ブロックの整数倍である必要がある。

【0145】また、NOR型フラッシュメモリの消去制御部により、消去単位の異なる複数ブロックに対して同時消去を行った後に、この発明に係る手法によりビット毎ベリファイと書き込みを行うように制御してもよい。

24

【0146】すなわち、例えば図19(c)に示すように、複数ブロックをまとめて消去するマルチブロック一括消去方式を採用した場合にも、図18に示したSEND信号生成回路は有効である。

【0147】図19(c)に示すように、64Kバイトのメモリブロックを行方向に4等分したブロックBK1~BK4のうちの一部(例えば3つのブロックBK1、BK3、BK4)のみを消去(変則ブロック消去)するときは、5本のワード線WL1~WL5に対応するセル(3×5=15個)と1ブロックのカラムに対応するセル(1個)との合計(16個)をサンプルとして使用する。

【0148】[第5の実施の形態] NOR型フラッシュメモリでは、消去に要する時間が長い(1秒程度)ので、あるブロックの消去中に別のブロックの読み出しや書き込みが行えると都合がよい。そこで、NOR型フラッシュメモリには、あるブロックの消去中に別のブロックの読み出しや書き込みを行うための動作モード(以下消去サスペンドモード)が設けられている。前記第4の実施の形態で説明した手法は、前記消去サスペンドモードにも適用させることができる。前記消去サスペンドモードに、前記第4の実施の形態の手法を適用した例を第5の実施の形態として説明する。

【0149】前記消去サスペンドモードに、前記第4の実施の形態の手法を実施した場合、消去サスペンド中に温度が大きく変わると、消去サスペンド前にこの発明に係るサンプリング手法(サンプル書き込み)により最適化したゲート電圧Vgは消去サスペンド後には不適であることもあり得る。

【0150】これに対処するには、消去サスペンド終了後にサンプル書き込みをやり直せばよく、このようなサンプル書き込みの制御は、図18に示したSEND信号生成回路の出力信号SENDを使用すれば十分可能である。

【0151】サンプル書き込みが終了し最適なゲート電圧Vgを設定した後に、消去サスペンドモードに入った場合は、消去サスペンドモードからの復帰後に新たにサンプル書き込みを実行し最適なゲート電圧Vgを設定すればよい。

【0152】しかし、サンプル書き込みの実行中(弱書き込み回数のカウント中)に消去サスペンドモードに入った場合は、以下のような問題を生じる。この問題を図20を用いて説明する。図20は、消去サスペンドモードからの復帰後に、サンプル書き込みを実行した場合の各信号とアドレスとの関係を示す一例である。

【0153】サンプル書き込みの実行中に消去サスペンドモードに入った場合は、キャリー信号の1ビット(1つの“0”あるいは“1”期間)に対応するアドレスの途中で消去サスペンドモードに入る場合がある。このような場合は、消去サスペンドモードから復帰したときのアドレスがキャリー信号の1ビットに相当するアドレス

25

の途中に復帰する。このため、サンプル書き込みを新たに実行したとき、キャリア信号の最下位ビットに対応するアドレス数がその他のビットに対応するアドレス数と異なってしまう。この図20では、キャリア信号の1ビットに対応する4個のアドレスのうち、3個目のアドレスに復帰した場合を示している。図20からわかるように、キャリア信号の最下位ビットに対応するアドレス数だけ2個となり、その他のビットに対応するアドレス数は4個になっている。ここでは、キャリア信号の最下位ビットに対応するアドレス数が2個の場合を示したが、このアドレス数は消去サスペンドモードに入る直前のサンプル書き込みの状況によって異なる。この場合、アドレス数が2の $n$ 乗にならず、前記第3の実施の形態にて述べた手法によって、アドレス1個当たりの平均弱書き込み回数を算出するのが困難になってしまう。

【0154】このような問題は、最初に入力するキャリア信号CARRYに対応するアドレスに対して行う弱書き込みの回数を、サンプル書き込みにおける弱書き込み回数のカウントから除くことによって解決することができる。すなわち、サンプル書き込みを行うサンプルセルとして無視すればよい。例えば、図21に示すように論理構成されたサスペンド対応可能な弱書き込みコントローラを用いて、カウントされる書き込みパルスを制限することにより対処できる。

【0155】図21に示す弱書き込みコントローラにおいて、SEND信号生成回路121は図1.8に示したマルチブロック一括消去方式に対応したSEND信号生成回路と同様の構成である。弱書き込みコントローラ122は、図3(a)に示した第1の実施の形態に係る弱書き込みコントローラにおいて入力側の二入力のナンドゲート221が三入力のナンドゲート123に変更されたものである。

【0156】ナンドゲート124は、前記SEND信号生成回路121の各段の分周回路の出力端/Qからの出力の否定論理積をとる。このナンドゲート124の出力は、信号WPRGMD、SENDとともに前記弱書き込みコントローラ122の三入力のナンドゲート123に入力される。

【0157】図21に示す弱書き込みコントローラ122によれば、各段の分周回路の出力端/Qが全て“1”のとき、即ち、初段の分周回路のキャリア信号CARRYが発生するまでは、ナンドゲート124の出力を“0”に固定することによって、弱書き込みコントローラ122により弱書き込みの回数をカウントしないように制御することができる。

【0158】これにより、キャリア信号の最下位ビットにおけるサンプル書き込み回数をカウントしないようにできるので、消去サスペンドモードが実行される環境においても、アドレス1個当たりの平均弱書き込み回数の算出を容易に行うことができる。

【0159】[第6の実施の形態] この第6の実施の形

26

態では、サンプル書き込みのために専用に用いられるのダミーセルを設けた場合について説明する。第1～第5の実施の形態では、弱書き込みを実行する際に、サンプル書き込みを行うセルとしてメモリセルアレイ内の通常のセル（実際に読み出しも行うセル）を用いている。そして、前記通常のセルのうち、所定の少数セルに対してサンプル書き込みを行い、温度条件によって大きく変わる書き込み時間を検知している。

【0160】ここで、複数のセルをサンプル書き込みの対象として用いるのは、たとえ書き込みの遅い温度条件でも消去直後の初期閾値 $V_{th}$ が過消去ベリファイレベル $OE V$ 近傍に存在する場合には、非常に少ない回数の弱書き込みによりベリファイをパスしてしまうことがあるからである。すなわち、弱書き込みを実行する目的は、図26(b)に示すように、消去分布において消去ベリファイレベル $EV \sim$ 過消去ベリファイレベル $OE V$ の範囲内に閾値 $V_{th}$ を収めることであり、例えば $EV \sim OE V$ 内から最も離れた閾値 $V_{th}$ の小さいセルを選んでサンプル書き込みを行うようにすれば、サンプル書き込みを行うセル数は少数であってもよい。

【0161】そこで、消去単位となる各ブロック中に、図示を省略するが、通常のセルとは別に、実際に読み出しを行わないサンプル書き込み専用のダミーセルを所望の行数だけ設ける。

【0162】そして、ブロック消去後（例えば複数ブロックに対する同時消去後）に、ビット毎ベリファイと弱書き込みを行う際、まず、ダミーセルに対して第1の書き込み条件で弱書き込みを行う。その後、前記弱書き込みに要した時間に応じてセルへの印加電圧を変更した第2の書き込み条件を設定し、ダミーセルが属するブロック内の残りの通常のメモリセルに対して前記第2の書き込み条件でビット毎ベリファイと弱書き込みを実行する。

【0163】前記サンプル書き込み専用のダミーセルは、セルトランジスタのカップリング比やチャネル幅 $W$ /チャネル長 $L$ などの制御により、消去時の閾値電圧 $V_{th}$ が読み出しを行う通常セルより常に小さくなるように設定するとよい。通常セルより閾値電圧 $V_{th}$ が小さいダミーセルを形成するには、ダミーセルの制御ゲートと浮遊ゲート間のカップリング比を大きくするなどの方法がある。このようなダミーセルをサンプル書き込みに用いることにより、1個乃至数個のサンプリング数で書き込みの遅い温度条件を検知することが可能になる。

【0164】[第7の実施の形態] 一般に、書き込み時間を短縮する方法として、ある1つのセルに書き込みを行う際に、書き込みパルス毎にゲート電圧 $V_g$ をステップアップしていく（少しずつ増加させて行く）書き込み方式がある。

【0165】このステップアップ書き込みの一般的な方式は、以下のようなになる。あるアドレスのセルを選択



27

し、書き込みベリファイをパスするまで書き込みとベリファイを繰り返す。ここで、ベリファイ結果がNGになる毎に、各書き込み毎にゲート電圧 $V_g$ を所定のステップ幅 $\Delta V_g$ （例えば0.5V）だけ加算して印加する。これにより、2回目以降の書き込みで、閾値電圧を十分に变化させることができる。

【0166】第7の実施の形態は、前記ステップアップ書き込みを、前記第1の実施の形態乃至第6の実施の形態のいずれかのビット毎ベリファイ及び弱書き込みに併用したものである。

【0167】ここで、第7の実施の形態における動作の一例について、図22に示すフローチャートおよび図23に示すゲート電圧 $V_g$ の波形変化を参照しながら説明する。

【0168】サンプル書き込み期間中は、ゲート電圧 $V_g$ を固定してビット毎にベリファイと弱書き込みを繰り返し（ステップS1～S6）、書き込みパルスの総数（弱書き込み回数）Nをカウントする（ステップS4）。

【0169】次に、サンプル書き込み終了後、メイン書き込みを以下のように実行する。まず、各アドレスの1回目の書き込み時のゲート電圧 $V_g$ （初期値）を、前記書き込みパルスの総数Nに応じて $V_1(N)$ に設定する（ステップS21）。さらに、ゲート電圧 $V_g$ のステップアップ回数Mを“0”に設定する（ステップS22）。このステップアップ回数Mは、弱書き込みを行う毎に1が加算され、弱書き込み時のゲート電圧 $V_g$ の設定に用いられる。

【0170】続いて、ゲート電圧 $V_g = 0E V$ でベリファイを行い（ステップS8）、ベリファイ結果がNGのときは、ゲート電圧 $V_g = V_1(N) + M \cdot \Delta V_g$ で弱書き込みを行う（ステップS23）。さらに、ステップアップ回数Mを1増加させる（ステップS24）。その後、再びゲート電圧 $V_g = 0E V$ でベリファイを行う。このように、ベリファイ結果がOKになるまで、弱書き込み及びベリファイを繰り返す。これにより、メイン書き込みでは、各弱書き込み毎に、図23に示すように、ゲート電圧 $V_g$ を一定のステップ幅 $\Delta V_g$ で増加させながら弱書き込みが行われる。

【0171】前記ステップS8でベリファイ結果がOKのとき、アドレスを更新して（ステップS10）、終了アドレスを越えていない場合、ステップS8に戻る。そして、第2のグループの終了アドレスまでメイン書き込みを実行する（ステップS11）。前記メイン書き込みでは、サンプル書き込み終了後の残りのセルに対して、ゲート電圧 $V_g = V_1(N) + M \cdot \Delta V_g$ で弱書き込みを実行することにより、弱書き込み回数をさらに減少させることができるため、データ消去に伴って行われる弱書き込みに必要な時間の温度依存性を小さくできる。

【0172】その後、前記弱書き込みによって、セル閾

28

値 $V_{th}$ が消去ベリファイレベル $E V$ を越えていないか確認するために、すべてのセルに対してゲート電圧 $V_g = E V$ で消去ベリファイを行う（ステップS12）。ベリファイ結果がNGのときは、再びステップS1の消去動作に戻り、前記動作シーケンスを再び実行する。一方、ベリファイ結果がOKであるときは、ビット毎ベリファイ及び弱書き込みの動作シーケンスを終了する。

【0173】なお、この第7の実施の形態においては、サンプル書き込み期間中の書き込みパルスの総数Nに応じて、メイン書き込み期間中のゲート電圧 $V_g$ の初期値を变化させたが、ゲート電圧 $V_g$ の初期値だけでなく、ステップ幅 $\Delta V_g$ も变化させてもよい。

【0174】また、前記第7の実施の形態においては、サンプル書き込み期間中はゲート電圧 $V_g$ を固定したが、このサンプル書き込み期間中の弱書き込みにも前記ステップアップ書き込みを適用してもよい。即ち、所定のアドレスに達するまでは第1の初期条件からステップアップ書き込みを行い、それ以降は第2の初期条件からステップアップ書き込みを行うようにしてもよい。このようにすれば、ビット毎ベリファイ及び弱書き込みに要する時間をさらに短縮することができる。但し、サンプル書き込み期間中は書き込み条件の違いを明確化したいので、ステップアップ書き込みを行わない方が精度が高くなる。

【0175】〔第8の実施の形態〕前記第7の実施の形態で説明したステップアップ書き込みは、あるアドレスについてベリファイをパスするまで、各弱書き込みごとにセルに印加するゲート電圧をステップアップしていく手法である。この手法を用いる場合、ゲート電圧が高くなりすぎると、1回の弱書き込みで閾値が必要以上に高くなるオーバープログラムが起こる危険が生じる。このため、通常、設定されるゲート電圧に所定の上限電圧を設ける必要がある。

【0176】ところが、書き込み速度は温度条件によって大きく変化するため、以下のような問題が生じる。書き込みの速い温度条件（低温）において書き込みを行うときに、オーバープログラムが起こらない程度にゲート電圧に低い上限電圧を設定した場合、書き込みの遅い温度条件（高温）で書き込みを行うと、書き込み時間が極端に長くなってしまふ。一方、書き込みの遅い温度条件において書き込みを行うときに、書き込み時間が所定時間内におさまるように上限電圧を高く設定した場合、書き込みの速い温度条件で書き込みを行うと、オーバープログラムが起こる危険性がある。

【0177】このような問題を対策した第8の実施の形態について以下に説明する。

【0178】まず、書き込みを実行する複数のセルを2つのグループに分ける。そのうち少数のセルをもつグループに対してサンプル書き込みを実行する。この書き込みでは、ステップアップにより設定されるゲート電圧の

29

上限電圧を低く、書き込みの速い条件でもオーバープログラムが起こらない程度に設定しておく。前記サンプル書き込みの際、サンプル書き込みの対象である全てのセルの弱書き込みに要した印加パルス数（弱書き込み回数）をカウントしておく。

【0179】次に、メイン書き込みの実行前に、前記サンプル書き込みでカウントしたパルス数に応じて、メイン書き込みにおけるゲート電圧の上限電圧が設定される。そして、残りの多数のセルに対してメイン書き込みを実行する。

【0180】次に、第8の実施形態を実現するために用いられる弱書き込みコントローラ及びレギュレータについて説明する。

【0181】図24(a)、(b)は、第8の実施形態における弱書き込みコントローラ及びレギュレータの構成を示す回路図である。

【0182】弱書き込みコントローラは、複数段の分周回路BC1～BC4を有するサンプルカウンタ81、複数段の分周回路BC5～BC7を有するステップアップカウンタ82、このステップアップカウンタ82の出力と信号SENDとの論理積を取るアンドゲートAD1～AD3、これらアンドゲートの出力と信号IN1とを加算する加算器521～524を有している。また、レギュレータは、D/Aコンバータ43を有している。このD/Aコンバータ43には、昇圧回路44から昇圧電位が供給される。

【0183】ナンドゲート83の第1入力端には弱書き込み信号WPRGMDが入力され、その第2入力端にはインバータ84を経てサンプルエンド信号SENDが入力され、さらにその第3入力端には分周回路BC4のOUT端子の出力が入力される。ナンドゲート83の出力は、分周回路BC1のCLK端子に、またインバータ85を経て分周回路BC1のCLK端子に入力される。

【0184】前記サンプルカウンタ81では、サンプル書き込み期間中の弱書き込み回数がカウントされ、その回数に応じた信号SAMPLE1～信号SAMPLE3が分周回路BC2～BC4の出力端OUTから出力される。

【0185】信号SAMPLE1～信号SAMPLE3、これらの反転信号、あるいは分周回路BC5～BC7のOUT端子の出力STEP1～STEP3がナンドゲート86、87、インバータ88に図24(a)に示すように入力される。これらナンドゲート86、87、インバータ88の出力はナンドゲート89に入力される。さらに、このナンドゲート89の出力はノアゲート90の第1入力端に入力され、その第2入力端には弱書き込み信号WPRGMDが入力される。ノアゲート90の出力は、分周回路BC5のCLK端子に、またインバータ91を経て分周回路BC5のCLK端子に入力される。

【0186】前記ステップアップカウンタ82では、メイン書き込み期間中の弱書き込み回数がカウントされ、

30

その回数に応じた信号STEP1～STEP3が分周回路BC5～BC7の出力端OUTから出力される。

【0187】さらに、メイン書き込み時におけるゲート電圧増分をあらわす前記信号STEP1～STEP3と、弱書き込みにおける最低のゲート電圧、すなわちサンプル書き込み時のゲート電圧である入力信号IN1とが加算器に入力される。これら加算器521～524から出力される信号AOUT1～AOUT4は、D/Aコンバータ43にそれぞれ入力される。このとき、D/Aコンバータ43の入力と出力との関係を予め設定しておくことにより、加算器521～524から出力される信号AOUT1～AOUT4に応じてステップ幅 $\Delta V_g$ で増加させたゲート電圧 $V_g$ を出力する。なお、図24に示す回路では、サンプル書き込み期間中は、増分を反映させないように、アンドゲートAD1～AD3が接続されている。

【0188】このように構成された回路では、ノアゲートの第1入力端に入力されるナンドゲート89の出力が“H”になったとき、弱書き込み信号WPRGMDにかかわらず、その出力は常に“L”となる。これにより、弱書き込み回数のカウントを停止させることで、ゲート電圧の上限電圧を設定する。

【0189】この第8の実施形態を適用した場合のゲート電圧の波形を図25(a)、図25(b)に示す。

【0190】以上説明したようにこの第8の実施形態によれば、前記第7の実施形態と同様にビット毎リファイ及び弱書き込みに要する時間を短縮できると共に、オーバープログラムの発生を防止することができる。

【0191】前記第8の実施形態では、サンプル書き込み期間中はゲート電圧を一定に固定しているが、サンプル書き込みでもゲート電圧をステップアップするにしてもよい。また、第7の実施形態と組み合わせ、メイン書き込み時のステップアップ初期電圧、ゲート電圧のステップ幅（変化量）、及び上限電圧を同時に変化させることも可能である。

【0192】〔第9の実施形態〕前記各実施の形態では、サンプル書き込み期間中の書き込みパルスの総数（弱書き込み回数）Nに応じて、メイン書き込み期間中のゲート電圧 $V_g$ の最適化を行った。この発明は、サンプル書き込み期間中の書き込みパルスの総数Nを用いずに、サンプル書き込み期間中に書き込みパルス数の最も多かったセルの書き込みパルス数を用い、このパルス数に応じてメイン書き込み期間中のゲート電圧 $V_g$ の最適化を行うようにしてもよい。言い換えると、サンプル書き込み期間中の1アドレスに対する最大書き込みパルス数を保存しておき、その最大書き込みパルス数に応じてメイン書き込み期間中における最適なゲート電圧 $V_g$ を設定するようにしてもよい。

【0193】この場合、書き込み速度が最も遅いセルの書き込みパルス数をカウントすることになるので、閾値

10

20

30

40

50

31

V<sub>th</sub>が著しく違うセルが存在しないことが条件である。これは、書き込み速度が最も遅いセルの書き込みパルス数に応じてゲート電圧V<sub>g</sub>を設定すると、閾値V<sub>th</sub>が著しく違うセルが存在する場合、セルによっては設定されたゲート電圧V<sub>g</sub>が適せず、オーバープログラムなどが起きてしまう危険があるからである。また、この手法では、サンプル書き込み期間中の書き込みパルスの総数ではなく、1アドレスに対する最大書き込みパルス数をカウントするため、パルス数のカウントに必要な分周回路の数を減らすことができる。よって、分周回路の形成に必要なレイアウト面積を小さくできるという利点がある。

【0194】なお、前記各実施の形態では、データ消去時のビット毎ベリファイ及び弱書き込みについて説明したが、データ書き込みに際しても、前述したデータ消去時のベリファイ及び弱書き込みの実施形態に準じて適用し、一部のビットに対して書き込みを行った結果により、残りのビットの書き込み条件を設定することが可能である。但し、ワード単位（例えば16ビット）のデータ書き込みに際しては、ビット数が少ないので、一部のビットをサンプルした結果により残りのビットの書き込み条件を決めたとしても、前述したブロック単位でのデータ消去時のビット毎ベリファイ及び弱書き込みに比べて効果は少ない。

【0195】

【発明の効果】以上述べたようにこの発明によれば、メモリセルアレイ内の複数のメモリセルを順次選択してデータの書き込みを行う際、動作保証温度内の任意の温度条件で書き込みに必要な所要時間を短く抑えることができる不揮発性半導体記憶装置を提供することが可能である。

【図面の簡単な説明】

【図1】この発明の第1の実施の形態のNOR型フラッシュメモリ（メモリチップ）の構成を概略的に示すブロック図である。

【図2】前記NOR型フラッシュメモリが有するアドレス空間における第1のグループ及び第2のグループの状態を示す図である。

【図3】（a）は、図1に示したフラッシュメモリ内の弱書き込みコントローラの構成を示す回路図である。

（b）は、前記弱書き込みコントローラ内の1段分の分周回路の構成を示す回路図である。

【図4】（a）は、図1に示したフラッシュメモリ内のレギュレータの一例として用いられるD/Aコンバータの回路図である。（b）は、前記レギュレータの他の例として用いられる電圧切換回路の構成を示す回路図である。

【図5】図1に示したフラッシュメモリにおけるビット毎ベリファイ及び弱書き込みの動作を示すフローチャートである。

32

【図6】消去後におけるメモリセルの閾値に関する分布を示す図である。

【図7】3つのセルが同時に選択されたときのベリファイ結果の一例を示す図表である。

【図8】前記NOR型フラッシュメモリが有する別のアドレス空間における第1のグループの状態を示す図である。

【図9】この発明の第2の実施の形態における弱書き込みコントローラ及びレギュレータの構成を示すブロック図である。

【図10】図9に示したD/Aコンバータの構成を示す回路図である。

【図11】この発明の第3の実施の形態における弱書き込みコントローラ及びレギュレータの構成を示すブロック図である。

【図12】図11に示したD/Aコンバータの入力と出力との関係を示す図表である。

【図13】図11に示した弱書き込みコントローラ内の加算器の構成を示す回路図である。

【図14】図11に示した弱書き込みコントローラ及びレギュレータにおける加算器への入力信号IN2とゲート電圧V<sub>g</sub>増分との関係を示す図表である。

【図15】（a）は、この発明の第4の実施の形態で使用するアドレスコントローラの構成を示す回路図である。（b）は、前記アドレスコントローラ内のアドレスカウンタの構成を示す回路図である。

【図16】図15（a）に示したアドレスコントローラの動作を示すタイミング波形図である。

【図17】図15（b）に示したアドレスコントローラ内のSEND信号生成回路の構成を示す回路図である。

【図18】図15（b）に示したアドレスコントローラ内のマルチブロック一括消去に対応したSEND信号生成回路の構成を示す回路図である。

【図19】この発明の第3の実施の形態でマルチブロック一括消去を行う際に通常ブロック消去時にサンプルとするセルアレイ、及び変則ブロック消去時にサンプルとするセルアレイの一例を示す図である。

【図20】この発明の第5の実施の形態において消去サスペンドモードからの復帰後に、サンプル書き込みを実行した場合の各信号とアドレスとの関係の一例を示す図である。

【図21】この発明の第5の実施の形態における弱書き込みコントローラ及びSEND信号生成回路の構成を示す回路図である。

【図22】この発明の第7の実施の形態におけるビット毎ベリファイ及び弱書き込みの動作を示すフローチャートである。

【図23】この発明の第7の実施の形態の前記弱書き込みにおけるゲート電圧V<sub>g</sub>の変化を示す波形図である。

【図24】（a）、（b）は、この発明の第8の実施の

33

形態における弱書き込みコントローラ及びレギュレータの構成を示す回路図である。

【図25】(a)、(b)は、この発明の第8の実施の形態の弱書き込みにおけるゲート電圧  $V_g$  の変化を示す波形図である。

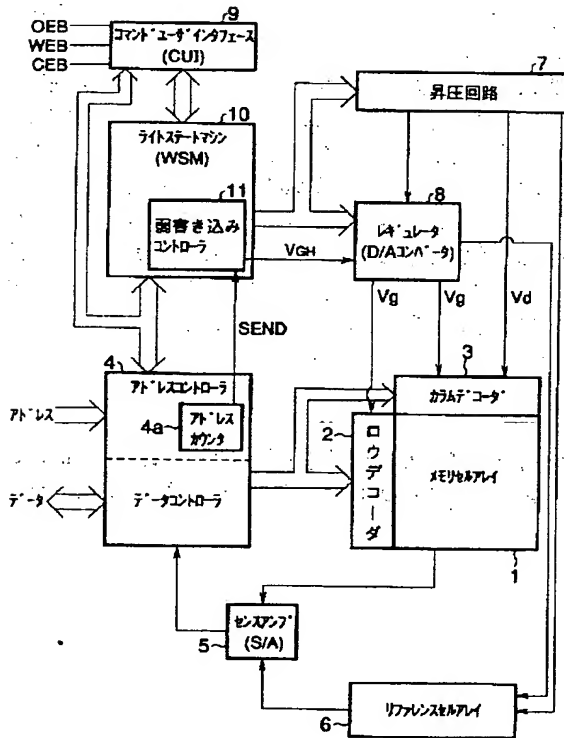
【図26】(a)は、フラッシュメモリのメモリセルアレイの消去動作後におけるセル閾値の分布を示す図である。(b)は、前記メモリセルアレイの弱書き込み動作後におけるセル閾値の分布を示す図である。

【図27】従来のビット毎ベリファイ及び弱書き込みの動作を示すフローチャートである。

【図28】フラッシュメモリにおけるホットエレクトロン書き込みの書き込み時間とセルの閾値変化量との関係を示す図である。

【図29】図28に示した書き込み特性中の線形領域の\*

【図1】



【図7】

	セル1	セル2	セル3
0回目	OK	NG	NG
1回目	OK	OK	NG
2回目	OK	OK	NG
3回目	OK	OK	OK

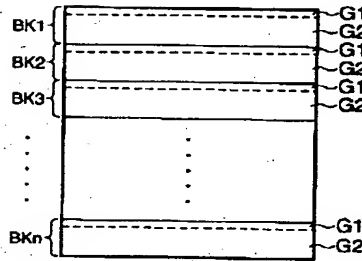
34

\*書き込みにおいて、セル閾値を2Vシフトさせるのに必要な書き込み時間の温度依存特性を示す図である。

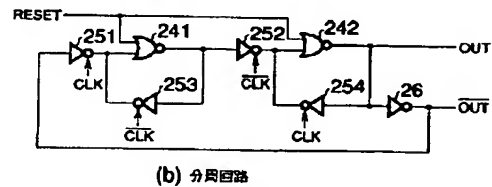
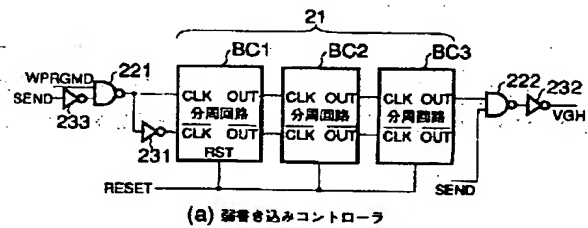
【符号の説明】

- 1…メモリセルアレイ
- 2…ロウデコーダ
- 3…カラムデコーダ
- 4…アドレスコントローラ/データコントローラ
- 4a…アドレスカウンタ
- 5…センスアンプ
- 6…リファレンスセルアレイ
- 7…昇圧回路(電源制御系)
- 8…レギュレータ
- 9…コマンドユーザインタフェース
- 10…書込制御部(Write State Machine ; W.S.M.)
- 11…弱書き込みコントローラ

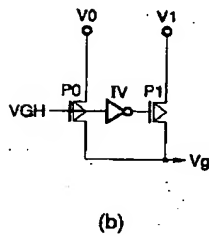
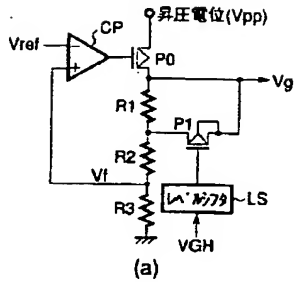
【図2】



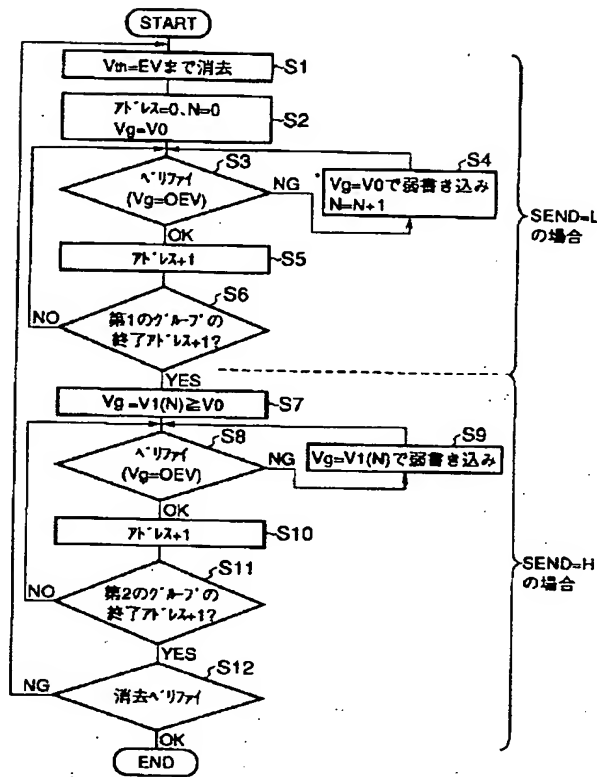
【図3】



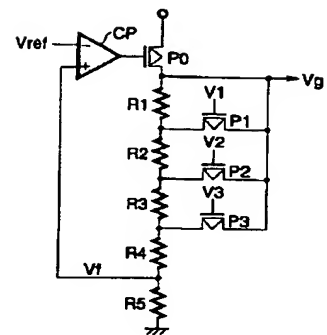
【図4】



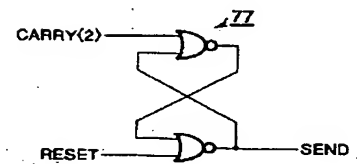
【図5】



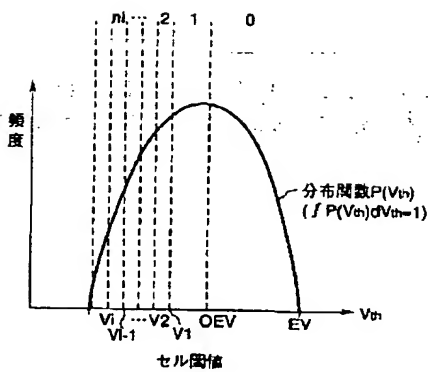
【図10】



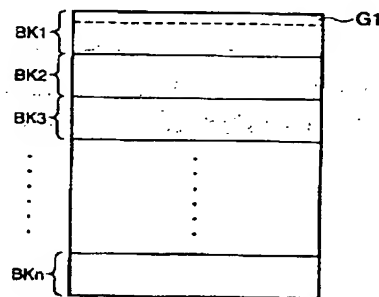
【図17】



【図6】



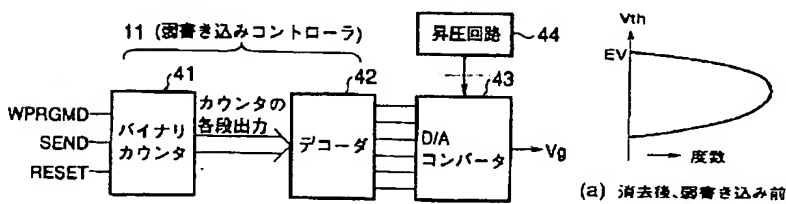
【図8】



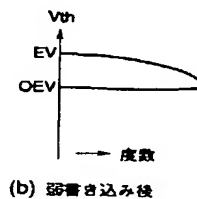
【図12】

D/Aコンバータ 入力値					D/Aコンバータ 出力Vg
D	C	B	A		
1	1	1	1		9.5 (V)
1	1	1	0		9.0
1	1	0	1		8.5
1	1	0	0		8.0
1	0	1	1		7.5
1	0	1	0		7.0
1	0	0	1		6.5
1	0	0	0		6.0
0	1	1	1		5.5
0	1	1	0		5.0
0	1	0	1		4.5
0	1	0	0		4.0
0	0	1	1		3.5
0	0	1	0		3.0
0	0	0	1		2.5
0	0	0	0		2.0

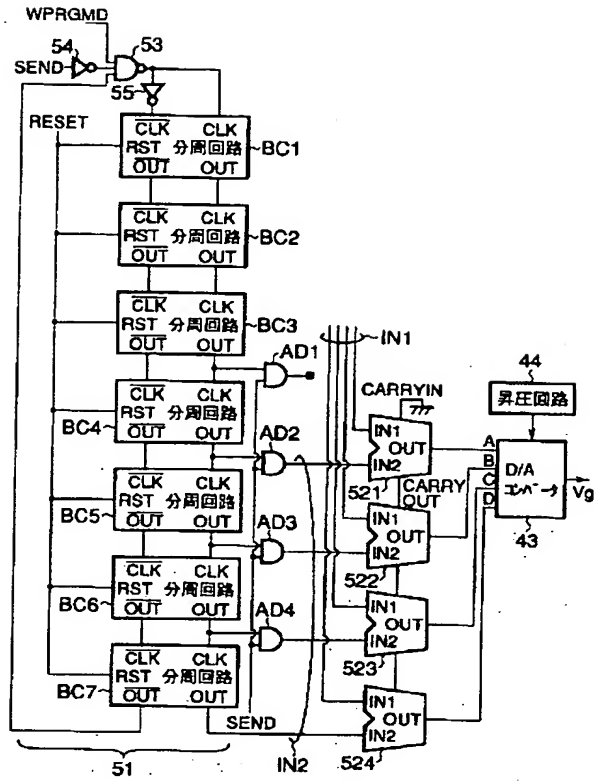
【図9】



【図26】



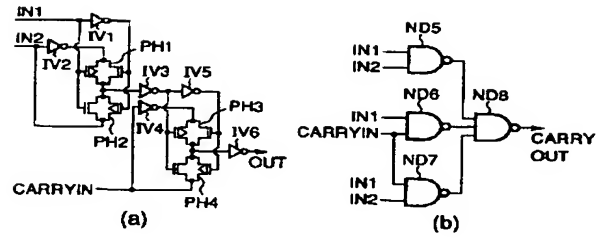
【図 11】



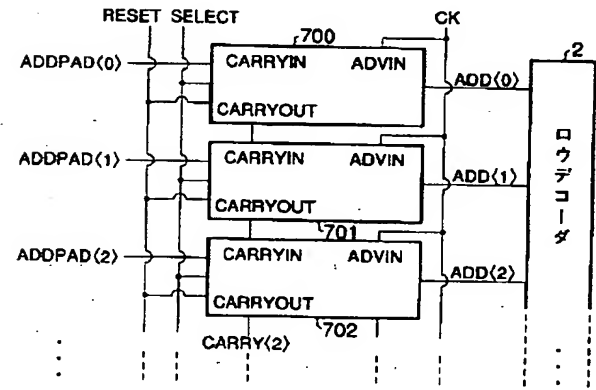
【図 14】

繰書き込み回数の 平均値	加算器への 入力信号IN2	増分ΔVg
0	0 0 0 0	0 (V)
1	0 0 0 0	0
2	0 0 0 1	0.5
3	0 0 0 1	0.5
4	0 0 1 0	1.0
5	0 0 1 0	1.0
6	0 0 1 1	1.5
7	0 0 1 1	1.5
8	0 1 0 0	2.0
9	0 1 0 0	2.0
10	0 1 0 1	2.5
11	0 1 0 1	2.5
12	0 1 1 0	3.0
13	0 1 1 0	3.0
14	0 1 1 1	3.5
15	0 1 1 1	3.5
16	1 0 0 0	4.0

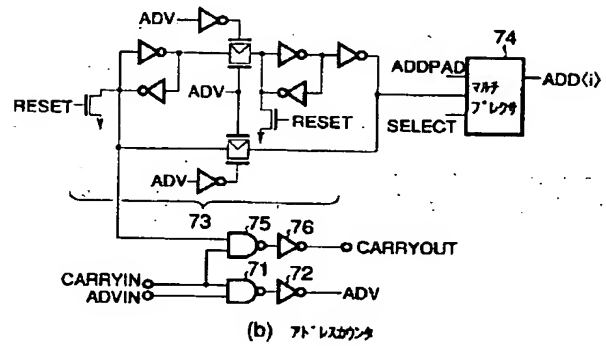
【図 13】



【図 15】

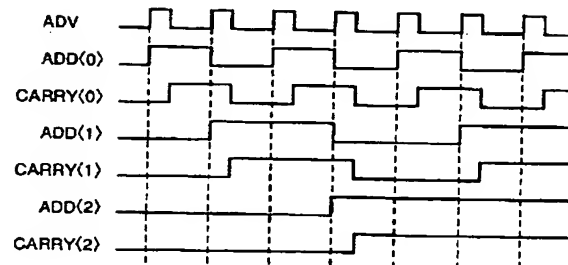


(a) フォトリソグラフ

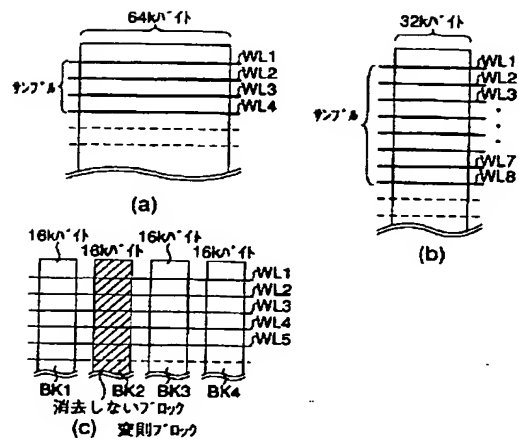


(b) フォトリソグラフ

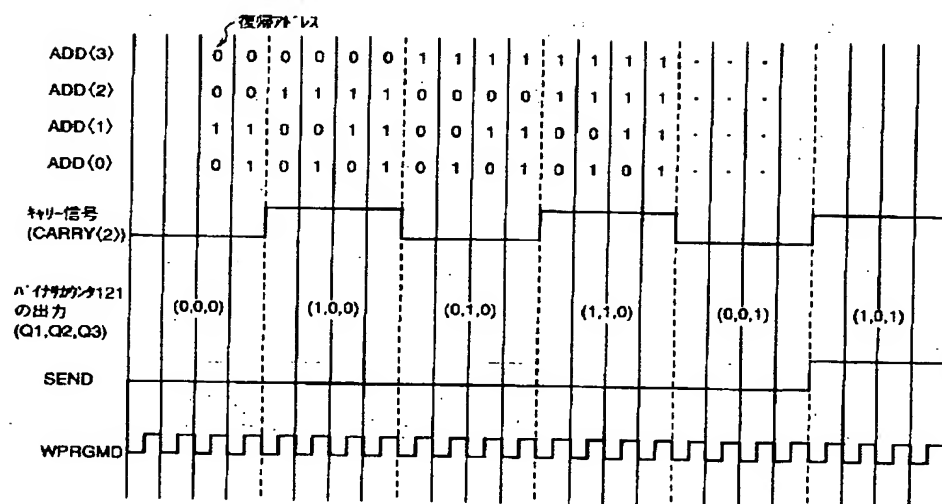
【図 16】



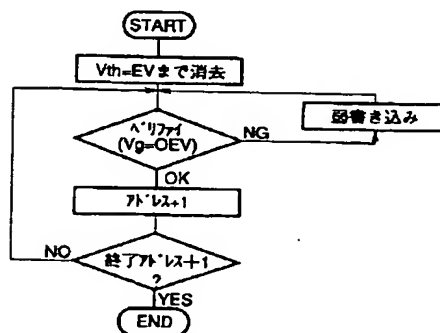
【图 19】



【図 20】



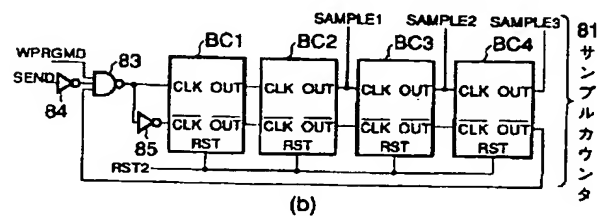
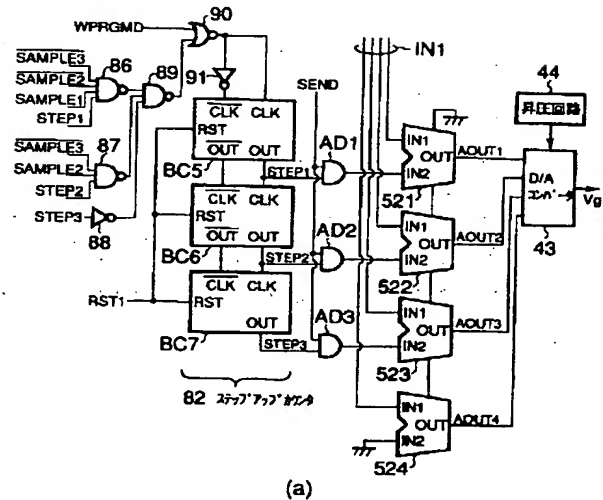
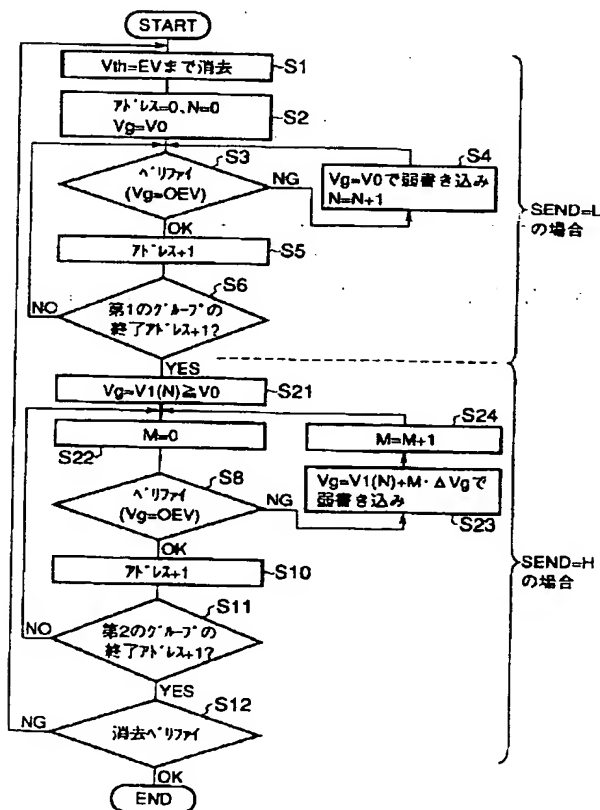
【图 27】



The schematic diagram illustrates the control logic for the data bus. It consists of two main functional blocks, 123 and 121, and a third block 122.

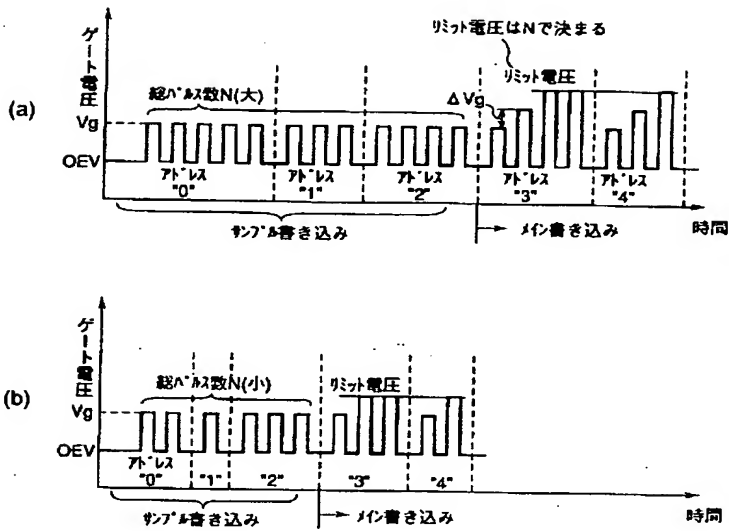
- Block 123:** This block receives inputs WPRGMD and SEND. WPRGMD is inverted and then ANDed with SEND at gate 233. The output of gate 233 is inverted at gate 231.
- Block 122:** This block contains a sequence of three frequency dividers (分周回路) and an AND gate. The first frequency divider takes CLK as input and outputs CLK. The second and third frequency dividers take the output of the first as input. The output of the third frequency divider is ANDed with the output of gate 231 at gate 232. The output of gate 232 is inverted to produce the final SEND signal.
- Block 121:** This block contains three frequency dividers (分周回路) and several logic gates. It receives inputs CARRY (labeled 信号), RESET, and a signal from gate 231. The CARRY signal is inverted and then ANDed with the RESET signal at gate 234. The output of gate 234 is ANDed with the output of gate 231 at gate 235. The output of gate 235 is inverted and then ANDed with the output of gate 231 at gate 236. The output of gate 236 is inverted to produce the final SEND signal.

【图 24】

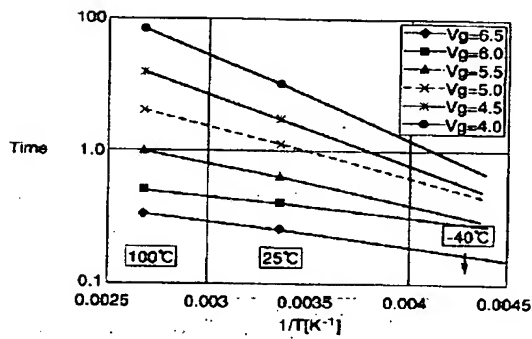




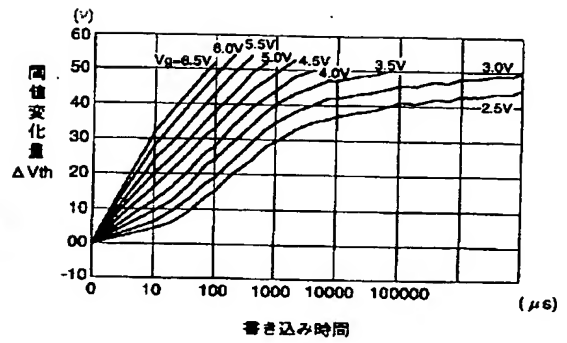
【図25】



【図29】



【図28】



フロントページの続き

(72) 発明者 斎藤 雅伸  
神奈川県横浜市磯子区新杉田町8番地 株  
式会社東芝横浜事業所内